

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

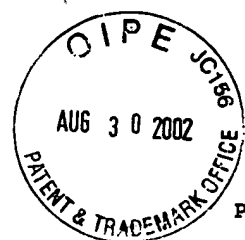
Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)



1 / 1 PLUSPAT - ©QUESTEL-ORBIT

Patent Number :

DE4204383 A1 19930826 [DE4204383]

Title :

(A1) Distributed controlled data communication system for industrial automation - has network with mixed structure with processor modules interconnected via bus simplifying local configuration needs

Other Title :

(A1) DEZENTRAL GESTEUERTES HOCHZUVERLAESSIGES DATENTRANSPORTSYSTEM, INSBESONDERE ZUR ANWENDUNG IN DER INDUSTRIELLEN AUTOMATISIERUNGSTECHNIK

Patent Assignee :

(A1) SAMULAT PETER DIPL ING (DE)

Inventor(s) :

(A1) SAMULAT PETER DIPL ING (DE)

Application Nbr :

DE4204383 19920214 [1992DE-4204383]

Priority Details :

DE4204383 19920214 [1992DE-4204383]

Intl Patent Class :

(A1) G06F-013/00 H04L-012/28

EPO ECLA Class :

H04L-012/28H

Document Type :

Basic

Publication Stage :

(A1) Doc. Laid open (First publication)

Abstract :

The reliable data communication system for use in real time automation systems in industry has a modular structure based upon standardised components. The network is flexible and has a mixed structure enabling ease configuring to meet specific requirements.

The system uses processor modules that forms nodes and can be locked with different operating software. Each process has a microcontroller together with a range of memories. Multiple I/O parts are provided.

USE/ADVANTAGE - For real time automation system. High reliability. Flexibility in configuration.

THIS PAGE BLANK (USPTO)

200 05193



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 42 04 383 A 1**

⑤1 Int. Cl. 5:
H 04 L 12/28
G 06 F 13/00

②
DE 42 04 383 A 1

②1 Aktenzeichen: P 42 04 383.2
②2 Anmeldetag: 14. 2. 92
④3 Offenlegungstag: 26. 8. 93

⑦1 Anmelder:
Samulat, Peter, Dipl.-Ing., 2802 Ottersberg, DE

⑦2 Erfinder:
gleich Anmelder

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Dezentral gesteuertes hochzuverlässiges Datentransportsystem, insbesondere zur Anwendung in der industriellen Automatisierungstechnik

⑤7 Dezentral gesteuertes Datentransportsystem für die industrielle Automatisierungstechnik mit einer Verbindungsstruktur, die flexibel an lokal unterschiedliche Zuverlässigkeitsanforderungen angepaßt werden kann und Echtzeiteigenschaften strukturell nur dort erfüllt, wo diese auch tatsächlich gefordert werden.
Die heute in der industriellen Automatisierungstechnik eingesetzten, echtzeitfähigen Datentransportsysteme erfüllen hohe Zuverlässigkeitsanforderungen nur dann, wenn hierarchisch organisierte Systeme aus gekoppelten (Doppel-)Ringstrukturen zum Einsatz kommen.
Damit entstehen Datentransportsysteme, die zwar insgesamt hohe Zuverlässigkeitsanforderungen erfüllen, aber durch die komplizierte flächendeckende Struktur und die daraus resultierende hohe Anzahl von Komponenten unwirtschaftlich werden.
Die Vorteile des neuen Datentransportsystems bestehen insbesondere darin, daß mit einer im Vergleich dazu einfachen, flexibel anpaßbaren Verbindungsstruktur lokal unterschiedliche Anforderungen innerhalb eines Systems erfüllt werden können. Mit direkt aus den Anforderungen abgeleiteten, unterschiedlich komplexen Teilstrukturen wird ein insgesamt genau ausreichend zuverlässiges, echtzeitfähiges Datentransportsystem realisiert.

DE 42 04 383 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 06. 93 308 034/22

35/51

Beschreibung

11.1 Beschreibung

5 Dezentral gesteuertes, hochzuverlässiges Datentransportsystem, insbesondere zur Anwendung in der industriellen Automatisierungstechnik.

Es ist bekannt, daß die heute in der industriellen Automatisierungstechnik eingesetzten Datentransportsysteme (Feldbussysteme) hohe Zuverlässigkeitsanforderungen nur dann erfüllen können, wenn bidirektionale Ringstrukturen zur Anwendung kommen /KRG190/.

10 Mit der zunehmenden Komplexität technischer Anlagen, der damit immer größeren räumlichen Ausdehnung und der steigenden Anzahl der vom Automatisierungssystem zu steuernden Sensoren/Aktoren kann ein einzelnes, ringförmig strukturiertes Datentransportsystem den Anforderungen nicht mehr gerecht werden. Flächendeckende Strukturen, die zudem noch Echtzeiteigenschaften erfüllen, sind heute nur durch hierarchisch organisierte Systeme aus gekoppelten Ringstrukturen aufzubauen (Bild 1.1).

15 Damit entstehen Datentransportsysteme, die zwar insgesamt hohe Zuverlässigkeitsanforderungen erfüllen, aber durch die komplizierte flächendeckende Struktur und die daraus resultierende hohe Anzahl von Komponenten im System schnell sehr hohe Kosten entstehen lassen und damit unwirtschaftlich werden.

Vorausgesetzt, daß die vom Automatisierungssystem zu erfüllenden Zuverlässigkeitsanforderungen lokal unterschiedlich sind und Echtzeiteigenschaften nur für bestimmte Teilsysteme gefordert werden, kann hier nur ein Datentransportsystem mit einer flexibel anpaßbaren Struktur besonders bei großen technischen Anlagen

20 einen wirtschaftlichen Ansatz ermöglichen.
Der im Anspruch angegebenen Erfindung liegt das Problem zugrunde, ein flexibel unterschiedlichen Anforderungen im Bereich der Zuverlässigkeit und Übertragungsgeschwindigkeit (Echtzeiteigenschaften) anpaßbares Datentransportsystem als Grundlage für ein industrielles Automatisierungssystem zu entwerfen.

25 Die mit der Erfindung erzielten Vorteile bestehen insbesondere darin, daß statt einer komplizierten, aus vielen Komponenten bestehenden flächendeckenden Struktur aus starr gekoppelten Ringsystemen jetzt eine im Vergleich einfache, flexibel anpaßbare Struktur realisiert wird, innerhalb derer die tatsächlich in der technischen Anlage bestehenden Anforderungen im bezug auf Zuverlässigkeit und Übertragungsgeschwindigkeit durch spezielle Teilstrukturen erfüllt werden.

30 Diese Aufgabe wird erfindungsgemäß damit gelöst, daß für die Verbindungsstruktur des Datentransportsystems insgesamt eine teilweise vermaschte Struktur zugelassen wird. Die Teilnehmer dieses Datentransportsystems, ausgeführt als intelligente Funktionseinheiten (Verarbeitungsknoten) mit jeweils bis zu vier unabhängigen Anschlüssen für Übertragungsleitungen, ermöglichen den Aufbau von genau den Anforderungen im Bereich der Zuverlässigkeit und der Übertragungsgeschwindigkeit entsprechenden Teilstrukturen.

35 Als Teilstrukturen des Datentransportsystems sind zugelassen:

- Punkt-zu-Punkt-Verbindungen einzelner Teilnehmer,
- bus- und baumförmige Strukturen,
- uni- und bidirektionale Ringstrukturen,
- 40 — Kombinationen aus allen genannten Strukturen, ergänzt durch zusätzliche redundante Übertragungsleitungen.

Die Komplexität dieser Teilstrukturen ist begrenzt durch die Anzahl der je Teilnehmer zur Verfügung gestellten Anschlüsse für Übertragungsleitungen. Jeder Verarbeitungsknoten kann über mindestens eine und

45 maximal vier Leitungen Daten mit anderen Teilnehmern austauschen.

Alle Teilstrukturen bilden dann insgesamt das Datentransportsystem.
Damit sind erstmals auch unter wirtschaftlichen Gesichtspunkten flächendeckende Datentransportsysteme zu realisieren, die lokal begrenzt mindestens die gleichen Zuverlässigkeits- und Echtzeitanforderungen erfüllen wie eine insgesamt bidirektionale Ringstruktur (Bild 1.1).

50 Die tatsächliche Verbindungsstruktur kann in Abhängigkeit von den tatsächlichen Anforderungen variiert werden:

- Sind für den Datenaustausch zwischen zwei Funktionseinheiten hohe Zuverlässigkeitsanforderungen zu erfüllen, werden redundante Strukturen vorgesehen.
- 55 — Echtzeiteigenschaften werden durch direkte Verbindungen oder durch parallele Übertragungswege, auf die das Datenaufkommen verteilt wird, realisiert. Redundante Verbindungen werden im störungsfreien Fall ebenfalls zur Datenübertragung genutzt.

Als Übertragungsmedium kommt ein Lichtwellenleiter (LWL) zur Anwendung. Ausgehend von den in der Feldebene regelmäßig geringen Entfernungen (≤ 100 m) können vorzugsweise Kunststoff-LWL eingesetzt werden.

60 Sind alle an das Automatisierungssystem gestellten Anforderungen bekannt, so werden Teilstrukturen mit rechnergestützten Verfahren optimiert. Ausreichend leistungsfähige Verarbeitungsknoten vorausgesetzt, kann die im Datentransportsystem verteilte Intelligenz auch eine dynamische, auf Störungen und Ausfälle von Teilsystem reagierende Optimierung gewährleisten.

65 Den Kern des Datentransportsystems bilden intelligente Verarbeitungsknoten, die im Rahmen des Automatisierungssystems Daten von Sensoren erfassen und Aktoren steuern bzw. die Schnittstelle zu industriellen Feldbussystemen bilden:

Jeder Verarbeitungsknoten wird aus standardisierten Komponenten, die insgesamt eine sich gegenseitig überwachende Mehrrechnerstruktur bilden, aufgebaut. Jeder Rechner ist ein um einen leistungsfähigen Mikrocontrollerbaustein aufgebautes, allein lauffähiges Minimalsystem, das über genau eine Schnittstelle zum Datentransportsystem verfügt. Dieser Rechner, im folgenden als Prozessormodul bezeichnet, stellt den in hoher Stückzahl benötigten Standardbaustein bekannter Zuverlässigkeit dar, der die Grundlage für die Zuverlässigkeitsberechnung der Teilstrukturen bildet. 5

Durch den modularen Aufbau kann jeder Verarbeitungsknoten entsprechend den Anforderungen aus einem bis vier Prozessormodulen aufgebaut werden.

Die Forderung nach der Verlagerung von Hardware-Funktionen in die Software, um die Flexibilität des Gesamtsystems zu erhöhen, führt zu speziellen Softwarearchitekturen: Ausgehend von einer in jedem Verarbeitungsknoten fest gespeicherten, standardisierten Umladeroutine wird die jeweils zusätzlich benötigte Software über das Datentransportsystem ferngeladen. 10

In der Softwarearchitektur ist berücksichtigt, daß die Bestimmung von Zuverlässigkeitskenngrößen für Softwaresysteme nicht möglich ist.

Heute wird Software bereits dann als zuverlässig betrachtet, wenn die Zeitspanne vom Beheben eines Fehlers bis zum nächsten noch als tolerabel hingenommen wird oder aufgetretene Fehler die Funktion nur wenig einschränken. 15

Um die verwendete Software überhaupt bei der Betrachtung der Gesamtzuverlässigkeit eines technischen Systems zu berücksichtigen, muß der unveränderliche Anteil der Software so gering wie möglich gehalten werden. Dieser Anteil muß dann mit einer Zuverlässigkeit $P(B,t) = 1$ in die Berechnung eingehen. Diese Forderung können aber nur einfache, möglichst diversitär strukturierte Laderoutinen erfüllen, die dann den benötigten Ausschnitt aus dem Softwaresystem nach Bedarf laden (Umlader). In dieser jederzeit veränderbaren Software ist dann zumindest eine zentral gesteuerte Fehlerkorrektur möglich. 20

2. Aufbau des Datentransportsystems 25

Das Datentransportsystem wird gebildet aus Verarbeitungsknoten, die als Teil einer flexibel strukturierbaren Verbindungsstruktur untereinander Daten austauschen.

Die Ansteuerung der Aktoren und die Datenerfassung von den Sensoren erfolgt über diese Verarbeitungsknoten; die dazu räumlich eng an die technische Anlage gekoppelt sind. Hier erfolgt auch bereits, wenn erforderlich, die Aufbereitung der erfaßten Rohdaten: 30

- Kennlinien von Sensoren werden linearisiert,
- der Einfluß von Störgrößen wird minimiert,
- die Einhaltung vorgegebener Grenzwerte wird überwacht und
- statistische Größen werden berechnet. 35

Die Anzahl der zu einem anderen Teilnehmer zu übertragenden Daten wird durch diese Maßnahmen minimiert. Diese unmittelbar am Sensor ansetzende intelligente Datenvorverarbeitung entlastet damit das Datentransportsystem und ermöglicht die Realisierung einfacher Regelstrecken bereits auf der Ebene eines einzelnen Verarbeitungsknotens. 40

Jeder Verarbeitungsknoten ist gleichzeitig Teil des Datentransportsystems. Bis zu vier unabhängige Anschlüsse für Datenübertragungsleitungen bilden die Grundlage für ein in weiten Grenzen flexibel strukturierbares, flächendeckendes Datentransportsystem: 45

Ausgehend von einer einfachen Punkt-zu-Punkt-Verbindung von zwei einzelnen Teilnehmern sind die Voraussetzungen für eine nahezu beliebige Kombination aus Bus-, Ring- und teilweise vermaschten Strukturen gegeben. Die Vermittlungssteuerung erfolgt ebenfalls dezentral über die Verarbeitungsknoten.

Die in einem speziellen Verarbeitungsknoten benötigte Rechenleistung orientiert sich damit zum einen an der für die Datenvorverarbeitung benötigte Kapazität und zum anderen an der Komplexität der Vermittlungssteuerung. 50

Die geforderte Mehrrechnerstruktur bietet die Möglichkeit, hier unterschiedliche Anforderungen auf einzelne Rechner aufzuteilen, bzw. die tatsächliche Anzahl der Rechner im Verarbeitungsknoten entsprechend festzulegen.

Der Verarbeitungsknoten wird aus mindestens einem und aus maximal vier Rechnern, den Prozessormodulen, gebildet. Jedes Prozessormodul ist ein um einen Mikrocontroller aufgebautes, für sich allein lauffähiges Minimalsystem mit genau einer Schnittstelle zum Datentransportsystem, ausgeführt als Lichtwellenleiteranschluß. 55

Die in einem Verarbeitungsknoten enthaltenen, lokal rückwirkungsfrei gekoppelten Prozessormodule (Bild 2.1) bilden die wesentliche Grundlage zur Lösung des offensichtlichen Widerspruchs zwischen der in hohem Maße flexiblen Gestaltung der Systemstruktur und der Forderung, diese aus standardisierten Komponenten bekannter Zuverlässigkeit aufzubauen: 60

Jeder Verarbeitungsknoten besteht jetzt aus

- Einem aus ein bis vier Prozessormodulen aufgebaute Anteil, im Folgenden als Zentrales Modul bezeichnet. Dieses enthält neben der den Anforderungen entsprechenden Anzahl von Prozessormodulen alle zur Kommunikation und Steuerung immer wieder benötigten Bauteile auf einer gemeinsamen Trägerkarte. Die Prozessormodule enthalten zunächst nur ein Minimum an Software: 65
- Den Umlader. Die tatsächliche Funktion einzelner Prozessormodule und damit die des gesamten zentralen

Moduls wird erst durch zusätzliche Betriebssoftware festgelegt, die über das Datentransportsystem ferngeladen wird.

— Der in der Regel zum Zentralen Modul zu ergänzende, variable Anteil (Interface) enthält, abgestützt auf die von den Prozessormodulen bereitgestellten Ein-/Ausgabeleitungen, alle zur elektrischen und mechanischen Anpassung notwendigen Komponenten. Das Interface identifiziert sich über einen Kenndatensatz automatisch gegenüber dem Zentralen Modul, in das dann die spezielle Betriebssoftware ferngeladen wird.

Die Forderung, daß Automatisierungssystem so weit wie möglich mit in hoher Stückzahl zu fertigenden, standardisierten Komponenten bekannter Zuverlässigkeit aufzubauen, kann damit für das Datentransportsystem bereits erfüllt werden. In diesem Bereich sind zuverlässigkeitstechnisch nur noch die Prozessormodule, die Datenübertragungsleitungen und die zur Vermittlungssteuerung notwendige Software zu berücksichtigen.

Der flexible Aufbau des Datentransportsystems bildet die Grundlage für das unterschiedlichen Anforderungen entsprechendes Automatisierungssystem:

1. Für das Gesamtsystem, wie auch für beliebige Ausschnitte daraus, können quantitative Zuverlässigkeitskenngrößen bestimmt werden. Damit ist Redundanz nur dort vorzusehen, wo diese auch tatsächlich gefordert wird und muß nicht zwangsläufig immer auf das Gesamtsystem übertragen werden.

In einem Datentransportsystem, an das insgesamt nur geringe Zuverlässigkeitsanforderungen gestellt werden, sind damit lokal begrenzte "Inseln hoher Zuverlässigkeit" flexibel zu realisieren.

2. Entsprechend der Anforderungen an die Übertragungsgeschwindigkeit (Echtzeiteigenschaft) können parallele Übertragungswege oder, wenn extrem kurze Reaktionszeiten gefordert werden, auch direkte Punkt-zu-Punkt-Verbindungen vorgesehen werden. Redundante Übertragungskanäle sind im fehlerfreien Fall ebenfalls zur Datenübertragung nutzbar.

Entsprechend der im Automatisierungssystem lokal unterschiedlichen Forderungen ist jetzt eine Modellbildung möglich, die, entsprechend der für die Strukturierung von Transputernetzwerken eingeführten mathematischen Verfahren, die Optimierung der gesamten Systemstruktur ermöglicht. Grundsätzlich ist davon auszugehen, daß diese Optimierung, da quantitative Kenngrößen zur Beschreibung der Komponenten des Systems zur Verfügung stehen, mit rechnergestützten Verfahren zu realisieren ist.

Im Gegensatz zu Lösungen aus dem Bereich der Mikrosystemtechnik (Bild 2.2), die Anteile aus den Gebieten der Sensorik, Aktuatorik, integrierter Schaltungen, Mikromechanik, Optoelektronik und Aufbau-/Verbindungstechnik zu einem auf spezielle Anwendungen abgestimmten System integrieren /REIC89/, kann der Verarbeitungsknoten mit einem im Bereich der Hardware standardisierten, aber trotzdem flexiblen Aufbau über fernladbare Software an eine Vielzahl unterschiedlicher Aufgaben angepaßt werden.

Steuerungsfunktionen, die Bereitstellung von Schnittstellen zu handelsüblichen industriellen Automatisierungssystemen und eine Vielzahl einfacher Interface-Schaltungen sind dafür eine wesentliche Voraussetzung. Mit Prozessormodulen, die in sich abgeschlossene, allein lauffähige Mikrocontrollersysteme hoher Rechenleistung darstellen, kann das dynamische Verhalten standardisierter Schnittstellen nachgebildet werden.

Die dargestellte Hardwarestruktur ermöglicht, unabhängig von der bereits vorgesehenen Erfüllung unterschiedlicher Zuverlässigkeitsanforderungen, auch einen vollständig neuen Ansatz für die Organisation, Aufbau und Betrieb dezentraler Automatisierungssysteme:

— Jeder neue Verarbeitungsknoten identifiziert sich und sein Interface, sobald er in das schrittweise aufzubauende Datentransportsystem eingebunden wird, gegenüber einer irgendwo im System enthaltenen Leitstation. Die dazu notwendige Software ist im Urlader enthalten. Die Leitstation initialisiert auf Basis dieser Daten den Verarbeitungsknoten, d. h. die Teilnehmeradresse wird festgelegt und die benötigte Betriebssoftware wird ferngeladen.

Abschließend erfolgt eine Rekonfiguration des gesamten, bis zu diesem Zeitpunkt aufgebauten Datentransportsystems, in der jeder Teilnehmer den neuen Verarbeitungsknoten und die dazu gehörenden Datenleitungen in seiner Vermittlungssteuerung berücksichtigt.

Eine ausreichend leistungsfähige Vermittlungssteuerung voraussetzend, können so zu jedem Zeitpunkt

- neue Teilnehmer aufgenommen werden.
- Verarbeitungsknoten ein neues Interface mit geänderter Funktion erhalten.
- und neue Datenleitungen die Struktur des Datentransportsystems ändern.

Die fernladbare Software ermöglicht die Variation aller Funktionselemente innerhalb eines Verarbeitungsknotens. Im Rahmen einer automatischen Rekonfiguration nach Ausfall/Entnahme eines Teilnehmers können Aufgaben verlagert oder verändert werden. Werden Sensoren/Aktoren gewechselt, löst die in jedem Fall automatisch neu erfolgende Identifikation die Anpassung der Betriebssoftware aus z. B. zur Berücksichtigung eines geänderten Einstellbereiches.

2.1 Der Verarbeitungsknoten

Jeder Verarbeitungsknoten besteht aus dem Zentralen Modul, aufgebaut aus ein bis vier Prozessormodulen auf einer gemeinsamen Trägerkarte, und dem Interface (Bild 2.3)

Die Anzahl der in einem Verarbeitungsknoten enthaltenen Prozessormodule richtet sich zunächst nur nach der Anzahl der benötigten Anschlüsse für Datenübertragungsleitungen. Jedes Prozessormodul verfügt über genau einen Anschluß.

Der interne Datenaustausch aller in einem Verarbeitungsknoten zusammengefaßten Prozessormodule erfolgt über eine lokale, rückwirkungsfreie Rechnerkopplung. Alle freien Ein-/Ausgabelösungen der um Mikrocontroller aufgebauten Prozessormodule werden auf der Trägerkarte gesammelt und in einer systemspezifischen Schnittstelle (Übergabepunkt) für das Interface bereitgestellt.

Die Trägerkarte nimmt bis zu vier Prozessormodule mechanisch auf. Sie enthält ein von allen Modulen genutztes Netzteil (die Spannungsüberwachung und eine Pufferbatterie gehören zum Prozessormodul), eine Echtzeituhr, sowie die zur Rechnerkopplung notwendigen Bauteile. Eine spezielle Ausführung ermöglicht den Einbau eines Verarbeitungsknotens in einen AT-kompatiblen Industrierechner. In diesem Fall reduziert sich die Anzahl der Prozessormodule auf drei:

Das vierte Modul wird durch den Industrierechner emuliert.

Die Funktion des Verarbeitungsknotens wird erst durch die über das Datentransportsystem ferngeladene Betriebssoftware festgelegt. Vor der auch auf diesem Weg durchzuführenden Initialisierung eines neuen Knotens sind in einem Urlader nur elementare Routinen zur Überprüfung der eigenen Hardware (Selbsttest) und eine einfache Vermittlungssteuerung gespeichert. Dieser Softwareanteil wird in der Zuverlässigkeitsabrechnung nicht berücksichtigt.

Die Spannungsversorgung des gesamten Verarbeitungsknotens erfolgt über das auf der Trägerkarte des Zentralen Moduls aufgebaute Netzteil. Die Forderung nach einer insgesamt redundanten Spannungsversorgung wird über die in jedem Prozessormodul vorhandene eigene 5 Volt-Regelung mit Spannungsüberwachung und Pufferbatterie erfüllt.

2.1.1 Prozessormodul

Das in hohen Stückzahlen benötigte Prozessormodul stellt die Grundlage für die in jedem Verarbeitungsknoten aufzubauende, sich gegenseitig funktionsüberwachende Mehrrechnerstruktur dar. Dazu werden jeweils zwei bis vier Module über eine schnelle, rückwirkungsfreie Rechnerkopplung verbunden und können so Daten und Statusinformationen austauschen.

In jedem Prozessormodul wird ein Mikrocontroller so um weitere Komponenten ergänzt, daß ein von den anderen Modulen unabhängiger Betrieb gewährleistet ist.

Damit ist für jedes Prozessormodul mindestens folgender Umfang vorzusehen:

- Mikrocontroller mit seriellen und parallelen Ein-/Ausgabelösungen. Die meisten handelsüblichen Bausteine enthalten bereits diese Funktionsanteile, so daß zusätzliche Hardware nicht erforderlich wird.
- Eigene Spannungsregelung mit Überwachungsbaustein und Pufferbatterie.
- Bauteile zur internen Adreßdecodierung.

- Arbeitsspeicher. Jedes Modul benötigt mindestens einen nichtflüchtigen Speicher für den Urlader und einen weiteren, möglichst großen Bereich für das Betriebsprogramm und zur Zwischenspeicherung von Daten. Für beide Aufgaben kommen zweckmäßigerweise Bausteine zum Einsatz, die auch nach Ausfall der Betriebsspannung den Datenerhalt auf jeden Fall gewährleistet: EPROM, EEPROM oder batteriegepufferter CMOS-RAM-Bausteine.

Die Spanne bei den handelsüblichen Mikrocontrollern reicht hier von Bausteinen ohne Speicher bis hin zu integrierten Kombinationen von ROM- und RAM-Bausteinen, wobei die nicht-flüchtigen Speicher in einigen Fällen bereits vom Hersteller maskenprogrammiert werden müssen.

- Treiberbausteine zur Ankopplung des Prozessormoduls an das Datentransportsystem. Zum Anschluß der Kunststoff-Lichtwellenleiter sind getrennte Sende-/Empfangsmodule vorzusehen, die neben dem optoelektrischen Bauelement zweckmäßigerweise auch die zum Mikrocontroller erforderliche Schnittstellenanpassung bzw. die Treiberstufe enthalten.

Jedes Prozessormodul stellt damit eine in sich abgeschlossene, funktionsfähige Einheit dar, die über eine eigene Schnittstelle zum Datentransportsystem verfügt und mit einer unabhängigen Stromversorgung arbeitet. Zusätzliche I/O-Leitungen werden zur internen Rechnerkopplung und zum Aufbau der Schnittstelle zum Interface bereitgestellt.

Die Zuverlässigkeitskenngrößen dieser Baugruppe bilden damit eine Grundlage für die Zuverlässigkeitsberechnung des Gesamtsystems.

Der mechanische Aufbau des Prozessormoduls ähnelt dem eines vielpoligen integrierten Schaltkreises im DIL-Gehäuse: Alle Bauteile werden auf einer kleinen, rechteckigen Platine montiert, die alle zur Trägerkarte benötigten Anschlüsse an zwei an den Längsseiten angeordneten Stiftleisten bereitstellt (Bild 2.4).

Das gesamte Prozessormodul kann, einen entsprechend miniaturisierten Aufbau vorausgesetzt, wie ein integrierter Schaltkreis in eine Fassung auf der Trägerkarte gesteckt werden. Der Anschluß für den Lichtwellenleiter erfolgt auf einer der beiden Schmalseiten.

Die vollständigen Schaltungsunterlagen für das Prozessormodul befinden sich im Anhang.

2.1.1.1 Mikrocontroller

Für das Prozessormodul ist ein hochintegrierter Mikrocontrollerbaustein hoher Rechenleistung gefordert. Der Einsatz der heute noch weit verbreiteten Ausführungen auf Basis eines 8-Bit-Prozessor (HD64 180, SAB80C535 u. a.) verbietet sich damit.

Um ausreichend kurze Reaktionszeiten zu ermöglichen, ist als Kern in jedem Fall ein Baustein mit einer internen Verarbeitungskapazität von mindestens 16 Bit vorzusehen: Zum Einsatz kommt ein Mikrocontroller

aus der HPC-Familie (HPC = High Performance microController. Nach: National Semiconductor Microcontrollers Databook, 1988) von National Semiconductor. Diese preiswerten 16-Bit-CMOS-Controller bieten eine hohe Rechenleistung und eine Vielzahl unterschiedlich komplexer Ein-/Ausgabestrukturen in einem Baustein.

Mikrocontrollerfamilie HPC von National Semiconductor

Die Mikrocontroller aus der 16-Bit-HPC-Familie erreichen mit einer z. Zt. noch auf 30 MHz begrenzten Taktfrequenz (40 MHz-Version voraussichtlich Anfang 1993 verfügbar) eine Zykluszeit von 134 ns. Mit schnellen, oft in einem Byte codierten Befehlen, die komplexe Funktionen auslösen, ist ein sehr effektiver Programmcode möglich.

Die wichtigsten Daten im Überblick:

- 16-Bit-CMOS-Mikrocontroller
- Taktfrequenz bis zu 30 MHz
- Schnelle Ein-Byte-Befehle
- Befehle für 16×16 -Bit-Multiplikation, 32/16-Bit-Division
- 8 Interruptquellen
- Watchdog
- 16-Bit-Timer
- Bis zu 52 frei konfigurierbare I/O-Leitungen
- Bis zu 8 KByte maskenprogrammiertes ROM auf dem Chip (Ausführung mit EEPROM ist angekündigt)
- Bis zu 256 Bytes RAM auf dem Chip
- Serielle MICROWIRE/PLUS Schnittstelle
- Große Bandbreite bei der je nach Controllertyp integrierten Peripherie:
- + DMA
- + HDLC-Schnittstelle
- + A/D-Wandler
- + zusätzlicher Speicher
- + schnelles SRAM
- Zulässige Betriebsspannung 3...5,5 Volt
- Stromaufnahme:
- im Betrieb: max. 60 mA ($V_{CC} = 5,5 \text{ V}, f = 30 \text{ MHz}$)
- IDLE-Mode: 3 mA
- MTBF $> 0,3 \cdot 10^3 \text{ h}$

Der Mikrocontroller aus der HPC-Familie enthält immer einen zentralen Kern (Core CPU), um den eine je nach Controllertyp unterschiedliche Peripherie angeordnet ist.

Der Kern, basierend auf einer Von-Neumann-Architektur, enthält insgesamt sieben Funktionselemente:

1. Arithmetic Logic Unit (ALU)
2. 6 16 Bit-Register
3. 8 Interrupt-Kanäle
4. 3 Timer
5. Ablaufsteuerung
6. Watchdog
7. MICROWIRE/PLUS Schnittstelle.

Alle internen Datenleitungen, die Register, Timer und die ALU arbeiten mit einer Wortlänge von 16 Bit. Damit können 64 kByte externer Speicher adressiert werden. Der externe Datenbus kann je nach Anforderungen mit 8 oder 16 Bit Wortlänge ausgelegt werden.

Der im Prozessormodul eingesetzte Mikrocontroller HPC46 003 (Bild 2.5) enthält kein internes ROM. Damit steht nahezu der gesamte Adreßraum für externen Speicher zur Verfügung.

Die im HPC46 003 enthaltene Peripherie umfaßt:

- eine frei programmierbare serielle Schnittstelle (UART),
- 4 zusätzliche TIMER
- 4 "Interrupt Capture" Register
- 52 frei konfigurierbare I/O-Leitungen
- 256 Byte RAM

Mit einem Teil der 52 I/O-Leitungen, die in einer Zweitfunktion als Adreß-, Daten- und Steuerleitungen konfiguriert werden, wird die Ansteuerung des externen Speichers realisiert. Der Adreßraum von insgesamt 64 kByte wird im Prozessormodul so aufgeteilt, daß 32 kByte RAM, 16 kByte EPROM (EEPROM) und mehrere, frei verfügbare, Blöcke mit jeweils 4 kByte zur Verfügung stehen. Der externe Datenbus wird mit einer Wortbreite von 8 Bit betrieben, um den Einsatz von Standardbausteinen zu ermöglichen.

Bild 2.6 zeigt das sich daraus ergebende Blockschaltbild für ein Prozessormodul:

- Der externe Datenbus wird über die Ein-/Ausgabeleitungen von Port A und Teilen von Port B realisiert.

Da die Daten und die Adressen A0 ... A7 gemultiplexed werden, muß ein Zwischenspeicher (Latch) vorgesehen werden.

- Redundante Stromversorgung (NETZTEIL). Jede Baugruppe verfügt über eine eigene Pufferbatterie, die nach dem Ausfall der Spannungsversorgung entweder zeitlich befristet den weiteren Betrieb ermöglicht oder zumindest den aktuellen Datenbestand erhält.

Ein spezieller Überwachungsschaltkreis stellt, wenn erforderlich, das abgestufte Abschalten und die Wiederinbetriebnahme des Prozessormoduls sicher.

- Die Adreßdecodierung (SELECT) erzeugt Steuersignale für die interne und externe Ansteuerung von Speicherbausteinen. Jedes Prozessormodul verfügt intern über 16 kByte EPROM (EEPROM) und 32 kByte batteriegepuffertes CMOS-RAM.

- Die Schnittstelle zum Datentransportsystem (LWL) mit dem Sende-/Empfangsbausteinen und der Steckverbindung.

Alle freien Ein-/Ausgabeleitungen des Mikrocontrollers, die Steuersignale, sowie Adreß- und Datenleitungen werden herausgeführt und stehen auf der Trägerkarte zur Verfügung.

2.1.1.2 Spannungsregelung mit Überwachungsbaustein und Pufferbatterie

Das Prozessormodul wird mit einer unregelmäßigen Gleichspannung von ca. 9 Volt (Stromaufnahme max. 220 mA) (max.: 17,5 V) betrieben. Fällt die Betriebsspannung aus, wird das CMOS-RAM über eine Batterie gepuffert.

Die integrierten Bausteine IC8 und IC9 bilden den Kern des Netzteils.

Spannungsregler 7805 (IC8) erzeugt die Betriebsspannung von +5 Volt. Der "Micro Manager Chip" (Dallas Semiconductor Product Data Book, 1990—1991) DS1236-5 (IC9) überwacht die Betriebsspannung und leitet daraus Steuersignale für den Prozessor ab:

- Liegt die Betriebsspannung außerhalb der vorgegebenen Toleranz von $\pm 5\%$, so wird der Prozessor angehalten. Rechtzeitig vorher wird eine nichtmaskierbare Unterbrechungsanforderung (NMI) erzeugt, die den Spannungsabfall ankündigt (Power Fail).

Der Datenerhalt im CMOS-RAM wird über eine Pufferbatterie (3 Volt) sichergestellt.

- Beim Einschalten der Betriebsspannung wird der Prozessor zugesetzt und gestartet, sobald +5 V erreicht sind. Das manuelle Zurücksetzen ist zu jedem Zeitpunkt möglich.

Der DS1236-5 enthält zusätzlich noch eine Zeitüberwachung (Watching Timer Function), die immer dann ein Rücksetzsignal erzeugt, wenn der Prozessor nicht innerhalb von max. 400 ms ein vorgegebenes Triggersignal ausgelöst hat.

Diese Zeitüberwachung ist im Prozessormodul nicht verdrahtet.

2.1.1.3 Bauteile zur internen Adreßdecodierung

Der Mikrocontroller HPC46 003 (IC1) wird mit einem externen Adreßraum von 64 kB, organisiert in 8-Bit-Worten, betrieben.

Alle Adreß- und Datenleitungen werden gemultiplexed über den Port A ausgegeben: Die Adreßleitungen A8—A15 und die Datenleitungen D0—D7 sind direkt verdrahtet. A0—A7 werden am Ausgang des über Zwischenspeichers 74LS373 (IC4) bereitgestellt.

Die Adreß- und Datenleitungen werden, ergänzt durch die vom Port B erzeugten Steuersignale für Schreib- und Lesezugriffe, zur Ansteuerung von Speicherbausteinen verwandt und, mit Ausnahme von A11—A15, für die Trägerkarte bereitgestellt.

I/O-Leitungen von Port A und Port I stellen in einer Zweifunktion auch die Steuersignale für zwei serielle Schnittstellen zur Verfügung.

MICROWIRE/PLUS, einige Unterbrechungsleitungen und freie Portleitungen werden an die Trägerkarte übergeben. I0 und I7 werden vom Urlader zur Kodierung der Modulnummer (Diese 2-Bit-Kartennummer (0 ... 3) dient zur Identifizierung eines Prozessormodules innerhalb einer aus bis zu vier Karten gebildeten Mehrrechnerstruktur) herangezogen.

Mit dem aus 74LS139 (IC5) und 74LS08 (IC6) aufgebauten Decoder werden innerhalb des Adreßraumes von 64 kB Steuersignale (Chip Select) für insgesamt sechs Bausteine erzeugt:

CSHPC: 0000—0FFF (reserviert)

CSUHR: 1000—1FFF (Echtzeituhr)

CSKL1: 2000—2FFF (frei)

CSKL2: 3000—3FFF (frei)

CSRAM: 4000—BFFF (32 kB RAM)

CSROM: C000—FFFF (16 kB EPROM/EEPROM).

CSUHR, CSKL1 und CSKL2 stehen für Erweiterungszwecke zur Verfügung. Es können zusätzliche Speicherbausteine mit jeweils bis zu 4 kB angeschlossen werden. Mit CSUHR steuert das erste Prozessormodul (Modulnummer 0) den Zugriff auf die Echtzeituhr der Trägerkarte.

2.1.1.4 Speicherbausteine

Jedes Prozessormodul verfügt über eigene Speicherbausteine mit einer Wortbreite von 8-Bit.

Das 16 kByte EPROM/EEPROM enthält bis zur Initialisierung des Moduls nur den Urlader. Das Betriebsprogramm wird über das Datentransportsystem ferngeladen und im EEPROM bzw. RAM gespeichert. Das EPROM/EEPROM ist der einzige gesockelte Baustein des Prozessormoduls.

Der batteriegepufferte Schreib-/Lesespeicher für Daten und Teile des Betriebsprogramms hat einen Umfang von 32 kByte.

Das 32 kByte-CMOS-RAM 62 256 (IC2) wird über CSRAM, das 16 kByte-EPROM 27C128 (IC3) über CSROM selektiert.

Die Zugriffszeit der Speicherbausteine darf 150 ns nicht überschreiten.

2.1.1.5 Lichtwellenleiteranschluß

Die serielle Datenübertragung erfolgt über ein Kunststoff-Lichtwellenleitersystem aus der Serie HFBR-0501 von Hewlett Packard (Bild 2.8).

Die vollständige Schnittstelle wird durch den Treiber 75452N (IC10) und die Sende-/Empfangsbausteine HFBR-1522 (IC12) und HFBR-2522 (IC11) gebildet. IC11 und IC12 enthalten auch den mechanischen Anteil der Steckverbindung (Buchse) für das fertig konfektionierte Duplex-Lichtwellenleiterkabel.

Damit steht ein zuverlässiges, kostengünstiges Übertragungsmedium zur Verfügung, daß die Grundlage für hohe Übertragungsgeschwindigkeiten bildet:

- Übertragungsgeschwindigkeit bis zu 5 MBd,
- Sende-/Empfängerbaustein TTL-/CMOS-kompatibel,
- Länge des Lichtwellenleiters bis zu 65 m (1 MBd),
- MTBF > $3 \cdot 10^6$ h.

Die Verbindungskabel mit einer (Simplex) oder zwei (Duplex) Lichtwellenleitern können, ausgehend von Material als Meterware, vor Ort mit einfachen Werkzeugen konfektionierte werden.

2.1.2 Trägerkarte

Die Trägerkarte nimmt ein bis vier Prozessormodule in Fassungen mechanisch auf. Sie enthält:

- Alle zur Rechnerkopplung erforderlichen Bauteile,
- die Spannungsversorgung für alle Module,
- eine Echtzeituhr im Adreßraum des Prozessormodul 0 und
- den Übergabepunkt zum Interface als vielpolige Steckverbindung.

Die Prozessornummer 0 ... 3 wird über eine entsprechende Verdrahtung der Fassungen automatisch eingestellt. Ein fest verdrahtete 2-Bit-Information wird dazu über Portleitungen (I0, I7) vom Prozessormodul ausgewertet.

Eine spezielle Ausführung ermöglicht den Einbau eines Verarbeitungsknotens in einen AT-kompatiblen Industrierechner. In diesem Fall reduziert sich die Anzahl der Prozessormodule auf drei: Das vierte Modul wird durch den Industrierechner emuliert.

2.1.2.1 Rückwirkungsfreie Rechnerkopplung

Die Mehrrechnerstruktur des Zentralen Moduls ist über ein rückwirkungsfreies, eigenes Datenübertragungssystem gekoppelt. Alle Prozessormodule können damit ohne den Umweg über das Datentransportsystem Daten austauschen und sich gegenseitig überwachen.

Handelsübliche Mikrocontroller bieten hier durch die integrierten Ein-/Ausgabeschnittstellen vielfältige Möglichkeiten, die sich im wesentlichen durch die erreichbare Übertragungsgeschwindigkeit unterscheiden.

Um die Forderung nach Rückwirkungsfreiheit zu erfüllen, darf der Ausfall (auch Busfehler) einer Baugruppe keine Auswirkungen auf die anderen Baugruppen des Moduls haben. Einfache serielle Übertragungssysteme mit Busstruktur scheiden damit ebenso aus wie ein im Adreßraum aller Rechner eingerichteter, gemeinsam genutzter Arbeitsspeicher.

Grundsätzlich kann die Rechnerkopplung erfolgen über:

- Serielle Schnittstellen
- parallele Schnittstellen und
- spezielle, gemeinsam genutzte Speicher (Multiport-RAM).

Rechnerkopplung mit seriellen/parallelen Schnittstellen

Die Kopplung über serielle oder parallele Schnittstellen erfordert, da busförmige Strukturen ausgeschlossen sind, immer spezielle Punkt-zu-Punkt-Verbindungen als Teil bidirektionaler Ringsysteme oder ein mehrkanaligen Bussystems, wie es im forschungsorientierten System FUTURE realisiert wurde.

Allen Verfahren gemeinsam ist die große Anzahl der benötigten seriellen oder parallelen Schnittstellen. Abgesehen vom Verdrahtungsaufwand ist damit immer eine umfangreiche zusätzliche Hardware erforderlich, da Schnittstellen in dieser Zahl nicht mehr von den Mikrocontrollern bereitgestellt werden bzw. dann die Hardware vollständig auslasten.

Eine rückwirkungsfreie Rechnerkopplung über serielle bzw. parallele Schnittstellen ist damit schon aus wirtschaftlichen Gesichtspunkten nicht vertretbar und wird im Verarbeitungsknoten nicht vorgesehen.

Rechnerkopplung mit Multiport-RAM

Mit einem Multiport-RAM lassen sich gemeinsam genutzte Speicher für bis zu vier Rechner aufbauen. Der Datenaustausch erfolgt über eine serielle oder parallele Schnittstelle (Port) über den im Baustein enthaltenen Speicher. Über Statusleitungen wird der Zugriff organisiert, so daß gleichzeitige Schreibzugriffe auf eine Speicherzelle ausgeschlossen sind. Parallel erfolgende Lesezugriffe sind in der Regel zugelassen. Der Vergleich von Daten und die Auswertung von Statusinformationen kann so optimal durchgeführt werden, da diese Daten in einem gemeinsamen Speicher abgelegt sind /FREN87/. Da der vergleichende Rechner die Daten direkt lesen kann, können Übertragungs- und Programmlaufzeiten minimiert werden.

Auf dem Markt sind sehr unterschiedliche Bausteine verfügbar, von denen im folgenden zwei vorgestellt werden sollen:

Das "High-Speed 2 k × 8 Four-Port Static RAM" IDT7052L (Integrated Device Technology Inc., Advance Information 1989) koppelt bis zu vier Rechner über einen gemeinsam genutzten Speicher von 2 KByte (Bild 2.9).

Der Baustein verfügt über vier parallele Schnittstellen mit Adreß-, Daten- und Steuerleitungen. Im Adreßraum eines Rechners verhält er sich wie ein Schreib-/Lesespeicher. Zur Zugriffssteuerung ist lediglich ein zusätzliches BUSY-Signal auszuwerten. Im Einzelnen:

- Schneller Speicherbaustein: Zugriffszeit unter 50 ns.
- Jeder Rechner kann auf jede Speicherzelle zugreifen. Gleichzeitige Schreibzugriffe werden über BUSY-Signal verhindert.
- Stromaufnahme bis zu 400 mA ($V_{CC} = 5$ V). Wird der Baustein nicht selektiert ($-\overline{CE}_1 \dots -\overline{CE}_4$), wird automatisch in einen "Standby-Modus" geschaltet ($I_{CC} = 1,5$ mA).
- Gehäuse: 108 p PGA oder 132 p Quad Flatpack.
- Hoher Preis: über 200 DM je Baustein.

Dieses Multiport-RAM stellt ein sehr schnelles und, da es sich nach außen wie ein beliebiger Schreib-/Lesespeicher verhält, auch einfaches Verfahren zur Rechnerkopplung dar. Die hohe Stromaufnahme des Bausteins und vor allem auch wirtschaftliche Gesichtspunkte lassen einen Einsatz im Verarbeitungsknoten nicht zu.

Der preiswerte "Quad Port Serial RAM Chip" DS2015 von Dallas Semiconductor (Dallas Semiconductor Product Data Book, 1990—1991) (Bild 2.10) koppelt ebenfalls mehrere Rechner über einen gemeinsam genutzten Speicher:

- Anschlußmöglichkeit für bis zu vier Prozessormodule.
- Die Datenübertragung erfolgt seriell über eine 4-Draht-Schnittstelle. Taktfrequenz maximal 4 MHz.
- Jeder Rechner kann in seinem privaten Speicher (64-Bit) lesen und schreiben. Die drei übrigen Speicher können nur gelesen werden.
- Ein gleichzeitiger Lesezugriff über alle Ports auf eine Speicherzelle ist möglich.
- Warten Daten im eigenen Speicher, so wird das Signal "Message waiting" (MSG) erzeugt.
- Geringe Stromaufnahme: 6 mA ($V_{CC} = 5$ V).
- Gehäuse: 18 p DIL.
- Stückpreis unter 10 DM.

Der geforderte Austausch von Statusinformationen innerhalb der Mehrrechnerstruktur ist mit diesem preiswerten Baustein zu realisieren. Damit steht, trotz des vergleichsweise nur sehr kleinen privaten Speicherbereichs und der Transportverzögerung durch die serielle Datenübertragung, ein ausreichend leistungsfähiger Baustein zur Rechnerkopplung zur Verfügung.

Die rückwirkungsfreie Rechnerkopplung ist auf der Trägerkarte mit einem Multiport-RAM DS2015 realisiert. Über die Vier-Draht-Schnittstelle können alle vier Prozessormodule in ihren privaten Speicher schreiben und aus allen Speicherbereichen Daten lesen.

Die zum Einbau in einen AT-kompatiblen Industrierechner vorgesehene Trägerkarte koppelt nur drei Prozessormodule über das Multiport-RAM. Über die vierte Schnittstelle erfolgt der Datenaustausch mit dem Industrierechner.

2.1.2.2 Spannungsversorgung

Die Betriebsspannung für alle Prozessormodule wird durch ein Netzteil mit einer Ausgangsspannung von 9 Volt bereitgestellt. Der Ausgangsstrom beträgt max. 2 Ampere.

Die Betriebsspannung wird über einen Reglerbaustein 78S09 stabilisiert.

2.1.2.3 Echtzeituhr

Zur Synchronisation aller Prozessormodule innerhalb eines Verarbeitungsknotens ist auf der Trägerkarte ein batteriegepufferter Standard-Echtzeituhrenbaustein RTC72 421A enthalten. Dieser Baustein ist im Adreßraum des Prozessormoduls 0 angeordnet und wird über CSUHR selektiert.

Das Prozessormodul 0 kann damit Daten aus der Echtzeituhr lesen bzw. in den Baustein schreiben. Die Datum-/Zeitinformation wird dann über die lokale Rechnerkopplung an die übrigen Prozessormodule weitergegeben.

2.1.2.4 Übergabepunkt

Für jedes Prozessormodul werden die freien Ein-/Ausgabeleitungen, die Adreßleitungen A0 ... A11, die Datenleitungen D0 ... D7 und einige Steuersignale auf der Trägerkarte gesammelt und am Steckverbinder des Übergabepunkts für das Interface bereitgestellt.

Alle Prozessormodule und der Übergabepunkt sind auf der Trägerkarte zusätzlich über die serielle Schnittstelle MICROWIRE/PLUS miteinander verbunden.

2.2 Interface

Als Bindeglied zwischen dem standardisierten zentralen Modul und dem technischen Prozeß ist ein aufgabenspezifisches E/A-System vorgesehen, daß in seiner Struktur von der Automatisierungsaufgabe geprägt ist.

Das E/A-System stellt auf Hardwareebene alle zur Ankopplung der in der Automatisierungstechnik üblichen Signale für Sensoren/Aktoren bereit. Der Übergabeort dieser Signale wird als Klemmleiste bezeichnet.

Jedes Interface verfügt über einen Kenndatensatz, der in einem seriellen EEPROM (256 × 16-Bit) gespeichert ist. Die Daten können von jedem Prozessormodul über die MICROWIRE/PLUS-Schnittstelle gelesen werden.

Das Interface identifiziert sich über diesen Kenndatensatz beim Verarbeitungsknoten, der dann die spezielle Betriebssoftware über das Datentransportsystem anfordert.

Vorgesehen ist zunächst ein Interface für RS-485 mit einem Betriebsprogramm für den DIN-Meßbus.

2.3 Das Datentransportsystem

Der Datentransport zwischen den Verarbeitungsknoten erfolgt über ein in den vorgegebenen Grenzen frei strukturierbares, teilweise vermaschtes Datentransportsystem auf Basis von Kunststoff-Lichtwellenleitern. Jeder Verarbeitungsknoten verfügt dazu über bis zu vier Anschlüsse für Übertragungsleitungen.

Innerhalb des Datentransportsystems wird jeder Knoten nach seiner Initialisierung eindeutig durch seine 16-Bit-Adresse identifiziert. Die Initialisierung wie auch die Übertragung der Betriebssoftware erfolgt immer über das Datentransportsystem. Die Steuerung des Datentransports erfolgt über eine Paketvermittlung. Daten werden, entsprechend der vorgegebenen Anforderung und Länge der jeweiligen Übertragungsleitung, mit bis zu 5 MBit/s übertragen. Ein leistungsfähiges Datensicherungsverfahren bildet die Grundlage für eine ständige, dynamische Optimierung der Übertragungsgeschwindigkeit als Reaktion auf erkannte Übertragungsfehler.

2.3.1 Vermittlungssteuerung

Für alle im Automatisierungssystem integrierten Verarbeitungsknoten stellt sich das Datentransportsystem insgesamt als eine speichervermittelnde Struktur dar, in die Daten in Form von Telegrammen paketweise abgegeben werden (Bild 2.11).

In diesem teilweise vermaschte Paketvermittlungsnetz verfügt jeder Verarbeitungsknoten über eine eindeutige Adresse. Daten werden in Anlehnung an das in DIN 19 245 T1 standardisierte Verfahren in Datentelegrammen übertragen, wobei die Adreßlänge zweckmäßigerweise so erhöht wird, daß auch in großen Systemen noch eindeutige Adressen zu vergeben sind.

Die Zeit, die dieses Datentransportsystem benötigt, um die von einem Verarbeitungsknoten übergebenen Daten beim Adressaten abzuliefern, läßt sich, anders als beim Bus- oder Ringsystem (Token Ring) nicht eindeutig für jeden Teilnehmer bestimmen (Bild 2.12).

Um für ausgewählte Verbindungen definierte Reaktionszeiten festzuschreiben und vor allem Echtzeiteigenschaften zumindest lokal begrenzt zu ermöglichen, sind die Datentelegramme zusätzlich um Parameter zu ergänzen, die bestimmten Daten Priorität im Datentransportsystem geben. In Verbindung mit der auch diesen Anforderungen flexibel anpaßbaren Systemstruktur, leistungsfähigen Verarbeitungsknoten und einem schnellen Übertragungsmedium (Lichtwellenleiter) sind damit, zumindest lokal begrenzt, vorgegebene Reaktionszeiten einzuhalten.

Aus Bild 2.12 wird noch einmal deutlich, daß die Verarbeitungszeit in allen am Datentransport beteiligten Komponenten minimiert werden muß, um die Transportverzögerung insgesamt möglichst klein zu halten.

Auf die theoretischen Grundlagen speichervermittelnder Systeme soll an dieser Stelle nicht weiter eingegangen werden, zumal diese Thematik bereits sehr ausführlich Eingang in die Literatur gefunden hat (SCHN82, FRAN86, KAUF87 u. a.).

Innerhalb der nachfolgenden Betrachtungen zur Realisierung des teilweise vermaschten Datentransportsystems sollen die unterschiedlichen Anforderungen an die für verschiedene Teilstrukturen notwendigen Vermittlungssteuerungen dargestellt werden.

2.3.2 Verbindungsstrukturen

Innerhalb der zugelassenen teilweise vermaschten Verbindungsstruktur werden insgesamt fünf unterschiedliche Verbindungsarten unterschiedlicher Komplexität (Teilstrukturen) vereinbart. Das Erkennen der für einen Verarbeitungsknoten oder auch nur für ein Prozessormodul gültigen Teilstruktur, klassifiziert nach Typ 1 bis Typ 5, bildet eine wesentliche Grundlage für die anzuwendende Vermittlungssteuerung: 5

Typ 1: Punkt-zu-Punkt-Verbindung

Typ 2: Unidirektionaler Ring

Typ 3: Bidirektionaler Ring

Typ 4: Unidirektionaler Bus

Typ 5: Teilweise vermascht. Kombinationen aus Typ 1 bis 4 und zusätzliche Querverbindungen sind zugelassen. 10

Verfügt ein Verarbeitungsknoten über mehr als eine Schnittstelle zum Datentransportsystem, so sind unterschiedliche Klassifizierungen entsprechend der jeweils tatsächlich vorliegenden Teilstruktur vorgesehen. 15

Eine Teilstruktur vom Typ 5 liegt immer dann vor, wenn ein Knoten über mehr als zwei beschaltete Anschlüsse für Datenleitungen verfügt oder wenn die Klassifizierung nach Typ 1 bis 4 nicht möglich ist.

2.3.2.1 Punkt-zu-Punkt-Verbindung

Der Verarbeitungsknoten verfügt nur über einen Anschluß zum Datentransportsystem (Bild 2.13). Für diese Verbindungsstruktur (Typ 1) kommt eine einfache Vermittlungssteuerung zur Anwendung: 20

- Alle Datentelegramme, die die eigene Adresse als Zieladresse führen, werden ausgewertet und, wenn erforderlich, quittiert. 25
- Telegramme für fremde Knoten werden nicht weitergeleitet.
- Eigene Telegramme werden, unabhängig von der Zieladresse, immer an den Nachbarn gesendet.

2.3.2.2 Unidirektionaler Ring

Jeder Verarbeitungsknoten kann von seinem linken Nachbarn Datentelegramme empfangen und Daten an den rechten Nachbarn senden (Bild 2.14). Insgesamt ergibt sich eine geschlossene Ringstruktur mit gerichteter Datenübertragung (Typ 2). 30

Für die Vermittlungssteuerung eines beliebigen Knotens gilt jetzt:

- Alle Datentelegramme, die die eigene Adresse als Zieladresse führen, werden ausgewertet und, wenn erforderlich, quittiert. 35
- Jedes Telegramm, das die eigene Adresse als Absenderadresse enthält, muß vom Ring genommen werden, da der Adressat nicht erreicht wurde (Teilnehmer nicht im Ring; Fehlerbedingung).
- Telegramme mit fremden Zieladressen werden weitergeleitet. 40

Ein Datentelegramm, das als Zieladresse eine alle Verarbeitungsknoten umfassende Gruppenadresse enthält, kreist im Ring. Für eine Datenerfassungssystem wird jedem Knoten ein Ausschnitt dieses Telegramms zugewiesen, der immer dann aktualisiert wird, wenn der betreffende Verarbeitungsknoten das Telegramm bearbeitet. Ein ausgewählter Knoten stellt die so gesammelten Daten dann für die weitere Bearbeitung zur Verfügung. 45

2.3.2.3 Bidirektionaler Ring

Jeder Verarbeitungsknoten verfügt über genau zwei Anschlüsse für Datenübertragungsleitungen (Bild 2.15). Datentelegramme können zu beiden Nachbarn übertragen bzw. von beiden Nachbarn empfangen werden (Typ 3). 50

Für die Vermittlungssteuerung gelten zunächst die gleichen Grundsätze wie für den unidirektionalen Ring. Zusätzlich ist zu berücksichtigen:

- Jeder Verarbeitungsknoten führt eine Verbindungstabelle (im dezentralen gesteuerten, paketvermittelnden Datentransportsystem führt jeder Verarbeitungsknoten eine gewichtete Verbindungstabelle (Laufwegtafel) /SCHN82,KAUF87/), die bei gegebener Zieladresse die Auswahl der jeweils kürzesten Verbindung ermöglicht. Laufzeiten werden minimiert. 55
- Nach Leitungsunterbrechung wird das Datentransportsystem entsprechend Typ 1 oder 2 rekonfiguriert. 60

2.3.2.4 Unidirektionaler Bus

Der unidirektionale Bus (Typ 4) synchronisiert alle als Empfänger geschalteten Verarbeitungsknoten durch ein gleichzeitig empfangenes Datentelegramm (Bild 2.16).

Der mechanische Aufbau dieser Teilstruktur erfordert spezielle Auskoppelmodule (AM), in denen jeweils ein Teil der im Kunststoff-Lichtwellenleiter übertragenen Energie ausgekoppelt und einem Verarbeitungsknoten zugeführt wird (Bild 2.17). 65

Für die Vermittlungssteuerung gilt:

- Der als Sender geschaltete Knoten führt in einer speziellen Tabelle die Adressen aller empfangsbereiten Teilnehmer.
- Jeder Knoten wertet Datentelegramme aus, die die eigene Adresse führen.
- Jeder Knoten kann ein spezielles Synchronisationszeichen auswerten.
- Quittungen werden nur dann erzeugt, wenn dem Knoten noch ein zusätzlicher Übertragungsweg (Typ 1, 2, 3 oder 5) zur Verfügung steht.

2.3.2.5 Teilweise vermaschte Struktur

Jeder Verarbeitungsknoten mit mehr als zwei beschalteten Anschlüssen für Datenleitungen ist Bestandteil einer Teilstruktur vom Typ 5.

Die Vermittlungssteuerung basiert auch in diesem Fall auf einer Verbindungstabelle. Im Vergleich zum bidirektionalen Ring sind jetzt aber für jede Zieladresse bis zu vier unterschiedliche Verbindungswege gewichtet zu führen und auszuwerten.

In dem gewählten Beispiel (Bild 2.18) gelten für die Verarbeitungsknoten VK1, VK3 und VK4 Teilstrukturen vom Typ 5. Die Vermittlungssteuerung von VK2 setzt Typ 3, die von VK5 Typ 1 voraus. In diesem Datentransportsystem kommen damit unterschiedlich komplexe Vermittlungssteuerungen gemischt zum Einsatz.

Fallen eine oder mehrere Verbindungen aus, wird das Datentransportsystem entsprechend der dann gültigen Teilstrukturen rekonfiguriert.

2.3.3 Datenübertragung

2.3.3.1 Verfahren zur Datensicherung

Zusätzlich zur bereits im UART durchgeführten Blocksicherung über eine Querparität wird die Gefahr von unerkannten Übertragungsfehlern über ein zusätzliches, mit Software realisiertes Verfahren mit zyklischen Codes (Cyclic Redundancy Check, CRC) minimiert.

Umgesetzt wurde ein 1-Byte-CRC-Sicherungsverfahren, daß gleichzeitig auch eine Grundlage für eine automatische Anpassung der Übertragungsgeschwindigkeit bildet.

2.3.3.2 Einzelzeichen

Die Übertragung von Einzelzeichen stellt im speichervermittelnden Datentransportsystem eine Ausnahme dar. Da weder Absender- noch Zieladresse enthalten sind, kann hier nur eine ungerichtete Kommunikation zwischen zwei Nachbarn im Datentransportsystem erfolgen.

Einzelzeichen werden vereinbart für:

- Prüfmuster: 8-Bit, Code: 1 BH.
- Synchronisationszeichen: 8-Bit, Code: 2EH.

Prüfmuster werden immer dann gesendet, wenn in einem Zeitraum von 50 ms kein anderer Datentransport stattgefunden hat. Mit diesem zyklisch erzeugten Signal wird erreicht, daß Leitungsunterbrechungen spätestens nach 50 ms erkannt werden. Die Prüfung auf Übertragungsfehler schafft die Voraussetzung für eine jederzeit mögliche Anpassung der Übertragungsgeschwindigkeit.

Synchronisationszeichen dienen innerhalb einer Teilstruktur vom Typ 4 zur zeitgleichen Auslösung spezieller Funktionen bei allen als Empfänger geschalteten Verarbeitungsknoten.

Weitere Einzelzeichen werden nicht zugelassen.

2.3.3.3 Datentelegramm

Der Datentransport erfolgt in Anlehnung an DIN 19 245 T1 in Telegrammform (Bild 2.19). Jedes Datentelegramm verfügt über eine Absender- und eine Zieladresse. Jede Adresse (16-Bit) beinhaltet einen jeweils 8-Bit langen Gruppen- und Einzelanteil als Voraussetzung für "Sammeltelegramme" an alle oder einen ausgewählten Teil der Verarbeitungsknoten im Datentransportsystem.

Die maximale Länge eines Datentelegrammes beträgt 512 Zeichen.

Jedem Telegramm werden zusätzlich 8 Zeichen zur Synchronisation vorangestellt.

Die Funktion der Datenfelder innerhalb eines Telegramms ist in Tabelle 2.1 dargestellt.

Die Struktur der in einem Telegramm übertragenen Daten ist zweckorientiert. Die Anzahl der Daten bestimmt die tatsächliche Telegrammlänge: 12 bis 512 Bytes, zusätzlich noch 8 vorangestellte Zeichen zur Synchronisation.

Der Aufbau und die Funktion der im Telegrammformat vereinbarten Felder im einzelnen:

SC Mit den jedem Datentelegramm vorgeschalteten acht SC-Zeichen (Code: D3H) wird über eine Auswertung von Übertragungsfehlern die aktuelle Übertragungsrate aktualisiert.

Wird beim Empfang eine Fehlerbedingung erfüllt, so werden nacheinander alle zugelassenen Übertragungsraten geschaltet. Können die Übertragungsfehler nicht beseitigt werden, wird der Empfang abgebrochen und eine Fehlermeldung mit der zuletzt gültigen Übertragungsrate erzeugt.

Könnte die aktuelle Übertragungsrate erkannt und eingestellt werden, wird diese zumindest für das nachfolgende

de Telegramm nicht mehr variiert.

SD Startzeichen des Datentelegramms (Code: 68H). Die Empfangsroute muß dieses Zeichen nach spätestens acht SC-Zeichen erkannt haben.

SA Absenderadresse (16-Bit, 0 .. FFFFH).

DA Zieladresse (16-Bit, 0 .. FFFFH).

5

Adressen werden immer aus einer jeweils 8-Bit langen Gruppen- und Einzeladresse gebildet:

```

: Gruppe : Einzel :
: <-8 Bit-> : <-8 Bit-> :
: <----- 16 Bit -----> :

```

10

Der zugelassene Wertebereich für die Gruppenadresse ist 01H .. FFH. Innerhalb jeder Gruppe sind Einzeladresse von ebenfalls 01H .. FFH möglich. Damit können bis zu 65025 Teilnehmer adressiert werden.

15

Alle Einzeladressen der Gruppe 00H sind für spezielle Steueraufgaben reserviert:

- Mit der Zieladresse 0000H werden alle Teilnehmer adressiert.
- Ist die Adresse 00FFH und DT = 00H, so werden die im Telegramm enthaltenen Daten vom nächsten neuen Knoten als Initialisierung aufgenommen.

20

MN Modulnummer (8-Bit, 0 .. FFH). die Modulnummer ist eine Erweiterung der Zieladresse. In einem Verarbeitungsknoten können damit bis zu 256 Geräte adressiert werden:

- Die Modulnummern 00H .. 03H sind die Adressen der Prozessormodule
- Mit MN 04H .. FFH können je Verarbeitungsknoten bis zu 252 über das Interface verwaltete Geräte direkt adressiert werden.

25

DT Der Inhalt des Feldes DT (8-Bit, 0 .. FFH) kennzeichnet die Art der nachfolgenden Daten. DT kann ein Kurzbefehl sein:

30

DT = 00H Es folgen Initialisierungsdaten für den Knoten mit Adresse DA, Modul MN.

Mit DA = 00FFH wird der nächste neue Knoten initialisiert.

= 01H es folgt ein Teil des Betriebsprogrammes für den Knoten DA, Modul MN.

= 02H es folgt ein Kurzbefehl oder Parametersatz für Knoten DA, Modul MN.

35

= 13H Sende Parametersatz 1 von Knoten DA, Modul MN an Verarbeitungsknoten SA.

= 14H Sende Parametersatz 2 von Knoten DA, Modul MN an Verarbeitungsknoten SA.

= 80H Dieses Telegramm ist eine Kurzquittung des Empfängers an den Absender: Datentelegramm fehlerfrei empfangen.

= 81H ... 8FH Dieses Telegramm ist eine Kurzquittung des Empfängers an den Absender: Datentelegramm empfangen. Fehler 81H ... 8FH erkannt.

40

FFH Der Nachbar im Datentransportsystem fordert eine Identifizierung: Der erste Knoten, der dieses Telegramm empfängt, sendet seinen Parametersatz 1 an den Knoten SA. Die Zieladresse DA ist immer 00FEH.

PR Priorität dieses Datentelegrammes (8-Bit, 0 .. FFH).

LE Länge dieses Datentelegrammes (1-Bit, 0 .. FFFFH). Die minimale Länge (Kurzbefehl) beträgt 12, maximal sind 512 Zeichen zugelassen. Die acht zur Synchronisation vorangestellten Zeichen werden nicht mitgezählt.

45

D₁ ... D_n Null (Kurzbefehl) bis 500 Datenbytes (8-Bit, 0 .. FFH).

FC Prüfsumme dieses Datentelegrammes (8-Bit, 0 .. FFH). FC umfaßt alle Zeichen des Telegramms. Die vorangestellten SC-Zeichen werden nicht berücksichtigt.

ED Endzeichen des Datentelegrammes. Code: 8EH.

50

55

60

65

2.3.3.3.1 Initialisierungsdaten

1. Initialisierung eines neuen Teilnehmers

5 :SC:SC: : :SC:SD: SA :00FF:00:00:PR: LE :D₁:D₂: : : : :D₅:FC:ED:

2. und weitere Initialisierungen:

10 :SC:SC: : :SC:SD: SA : DA :MN:00:PR: LE :D₁:D₂: : : : :D₅:FC:ED:

Adr	Feld	Funktion
+0	KNADR	Knotenadresse (16-Bit, 0..FFFF _H)
+2	LSADR	Adresse der Leitstation (16-Bit, 0..FFFF _H)
20 +4	NBADR	Adresse des am eigenen Sendemodul angeschlossenen Nachbarn (16-Bit, 0..FFFF _H)
+6	JA	Jahr (8-Bit, 0..99)
+7	MO	Monat (8-Bit, 1..12)
+8	TG	Tag (8-Bit, 1..31)
25 +9	ST	Stunde (8-Bit, 0..23)
+10	MI	Minute (8-Bit, 0..59)
+11	SE	Sekunde (8-Bit, 0..59)
30 +12	DS	Verbindungsstruktur (8-Bit, 1..5)

Ein Verarbeitungsknoten, der sein Initialisierungstelegramm erhalten hat, schickt als Quittung seinen Parametersatz 1 zur angegebenen Leitstation.

2.3.3.3.2 Betriebsprogramm

35 :SC:SC: : :SC:SD: SA : DA :MN:01:PR: LE :D₁:D₂: : : : :D₅:FC:ED:

Adr	Feld	Funktion
45 +0	PGADR	Startadresse der in diesem Telegramm enthaltenen Programmdateien (16-Bit, 0..FFFF _H)
+2	PGANZ	Programmlänge (16-Bit, 0..FFFF _H)
+4	PGDTG	Es folgen noch PGDTG (8-Bit, 0..255) weitere Telegramme mit Programmdateien
50 +5		Anfang Programmdateien

3. Beispiele

Die folgenden Beispiele zeigen die tatsächliche Flexibilität des vorgestellten Datentransportsystems. Ausgehend von einer realen Automatisierungsaufgabe wird gezeigt, wie die Verbindungsstruktur entsprechend der unterschiedlichen Anforderungen variiert wird.

Automatisierungsaufgabe

In einer Werkhalle werden 100 Textilmaschinen betrieben. Jede Maschine verfügt über ein eigenes Steuergerät, das die Betriebsdaten an einer V24-Schnittstelle zur Weiterverarbeitung bereitstellt.

Die Betriebsdaten aller 100 Maschinen sollen mit Hilfe eines Datentransportsystems gesammelt und, grafisch aufbereitet, auf einem zentralen Leitstand (LS) dargestellt werden.

Zum Aufbau des Datentransportsystems stehen zur Verfügung:

- Prozessormodule mit:
 $MTBF > 6.8 \cdot 10^5$ h und
 mittlerer Programmlaufzeit $t_p < 5 \cdot 10^{-7}$ s
- Übertragungsleitungen:
 $MTBF > 3 \cdot 10^6$ h und
 Übertragungszeit¹¹⁾ $t_0 < 4.3 \cdot 10^{-3}$ s.

5

Als Zuverlässigkeitskenngröße wird die Wahrscheinlichkeit für den Systembetriebszustand $P(B, t_1)$ für $t_1 = 1$ Jahr berechnet. Der Rechengang ist im Anhang dargestellt.

¹¹⁾ Die Übertragungszeit ist berechnet für ein Datentelegramm mit Gesamtlänge von 8 + 512 Zeichen.
 In den nachfolgenden Beispielen werden die Verarbeitungsknoten als gestrichelter Rahmen dargestellt, in den ein bis vier Prozessormodule (schraffiert) eingebaut sind. Die Verbindungsleitungen zwischen den Prozessormodulen sind als Vektoren eingezeichnet. Sie geben die Übertragungsrichtung an.

10

3.1 Beispiel 1

15

Die Betriebsdaten aller Textilmaschinen sollen über ein ringförmig strukturiertes, einfach aufgebautes Datentransportsystem erfaßt werden.

Besondere Zuverlässigkeitsanforderungen: Keine.

20

Vorgegebene Reaktionszeiten:
 Alle 1–2 s soll der Leitstand die Darstellung aktualisieren.

Das Datentransportsystem wird strukturiert als unidirektionaler Ring (Typ 2), in dem für jede Textilmaschine ein eigener Verarbeitungsknoten (VK1 .. VK100) eingerichtet wird (Bild 3.1).

25

Als Leitstand wird ein AT-kompatibler Industrierechner mit eigenem Verarbeitungsknoten (LS) eingesetzt.

Die Datenerfassung erfolgt über ein zyklisch im Ring kreisendes Datentelegramm, das jeden Verarbeitungsknoten aktualisiert. Im Leitstand wird dieses Telegramm ausgewertet.

Als Zykluszeit t_z für das Datentelegramm ergibt sich

30

$$t_z = 101 \cdot (t_p + t_0) = 0,43 \text{ s}$$

Alle 0,43 s kann der Leitstand ein Datentelegramm auswerten und für alle 100 Textilmaschinen die Darstellung der Betriebsdaten aktualisieren. Die Reaktionszeit ist damit deutlich besser als gefordert.

35

Die Wahrscheinlichkeit für den Betriebszustand errechnet sich zu

$$P(B, t_1) = 0,2036$$

Da in diesem Fall keine besonderen Zuverlässigkeitsanforderungen gestellt wurden, kann die dargestellte einfache Verbindungsstruktur zum Einsatz kommen. In Kauf genommen wird, daß jede Unterbrechung einer Übertragungsleitung immer auch zum Systemausfall führt.

40

3.2 Beispiel 2

45

Das Datentransportsystem ist jetzt an lokal unterschiedliche Anforderungen anzupassen:

Besondere Zuverlässigkeitsanforderungen:
 $P(B, t_1) > 0,7$ für die aus LS, VK1 .. VK3 und VK98 .. VK100 gebildete Teilstruktur.

50

Vorgegebene Reaktionszeiten:

Für Verbindung VK3 zu VK98 maximal 100 ms. Für LS wiederum 1–2 s für Gesamtdarstellung.

Das Datentransportsystem wird wiederum strukturiert als unidirektionaler Ring (Typ 2), wobei jetzt folgende Voraussetzungen zu berücksichtigen sind:

55

– Die Zuverlässigkeitsanforderung für die angegebene Teilstruktur ist nur dann zu erfüllen, wenn insgesamt nicht mehr als 22 Verarbeitungsknoten und Übertragungsleitungen enthalten sind. Damit wird eine zusätzliche Querverbindung erforderlich.

– Bei der vorgegebenen Reaktionszeit dürfen maximal 22 Knoten mit ihren Übertragungsleitungen am Datenaustausch zwischen VK3 und VK98 beteiligt sein.

60

Ausgehend von der vorgegebenen Struktur können beide Anforderungen bereits durch eine zusätzliche, bidirektionale Verbindung zwischen VK3 und VK98 erfüllt werden (Bild 3.2).

Beide Verarbeitungsknoten erhalten ein zweites Prozessormodul, mit dem dann eine Punkt-zu-Punkt-Verbindung (Typ 1) aufgebaut wird.

65

Die Betriebsdaten aller Textilmaschinen können auch weiterhin mit einer Zykluszeit von 0,43 s erfaßt werden. Für die aus den Knoten LS, VK1 .. VK3 und VK98 .. VK100 gebildete Teilstruktur gilt:

Datenübertragung in ca. 30 ms und
 $P(B, t_1) = 0,8955$.

Der Datentransport zwischen VK3 und VK98 erfolgt in maximal 9 ms.
 Die Teilstruktur erfüllt damit wesentliche höhere Anforderungen als der Rest des Datentransportsystems.
 Lokal unterschiedliche Anforderungen werden erfüllt.

3.2 Beispiel 3

Auch hier muß das Datentransportsystem unterschiedlichen Anforderungen genügen:

Besondere Zuverlässigkeitsanforderungen:

$P(B, t_1) > 0,85$ für die aus LS und VK4 gebildete Teilstruktur.

Vorgegebene Reaktionszeiten:

Für Verbindung LS zu VK1 .. VK4 sowie für VK98 zu VK100 maximal 25 ms. Für LS wiederum 1–2 s für Gesamtdarstellung.

Das Datentransportsystem wird wiederum strukturiert als unidirektionaler Ring (Typ 2), wobei jetzt folgende Voraussetzungen zu berücksichtigen sind:

– Die Zuverlässigkeitsanforderung für die angegebene Teilstruktur ist nur dann zu erfüllen, wenn insgesamt nicht mehr als 10 Verarbeitungsknoten und Übertragungsleitungen enthalten sind.

– Bei der vorgegebenen Reaktionszeit dürfen maximal 5 Knoten mit ihren Übertragungsleitungen am Datenaustausch zwischen den angegebenen Teilnehmern beteiligt sein.

Werden innerhalb der vorgeschlagenen Verbindungsstruktur die Datenleitungen zwischen LS und VK1 .. VK4 bidirektional ausgeführt, sind die geforderten Reaktionszeiten hier bereits einzuhalten. Für den Datenaustausch zwischen VK98 und VK100 wird eine zusätzliche bidirektionale Punkt-zu-Punkt-Verbindung erforderlich (Bild 3.3).

Für die angegebenen sieben Verarbeitungsknoten wird jeweils ein zweites Prozessormodul erforderlich.

Die Betriebsdaten aller Textilmaschinen werden auch in diesem Fall mit einer Zykluszeit von 0,43 s erfaßt. Für die aus den Knoten LS, VK1 .. VK4 gebildete Teilstruktur gilt:

Datenübertragung in max. 25 ms (LS ↔ VK4) und $P(B, t_1) = 0,9162$

Der Datentransport zwischen VK98 und VK100 erfolgt in maximal 9 ms.

Auch in diesem Beispiel erfüllen Teilstrukturen damit wesentlich höhere Anforderungen als das übrige Datentransportsystem. Lokal unterschiedliche Anforderungen werden erfüllt, ohne daß zusätzliche Querverbindungen erforderlich werden.

4. Anhang

4.1 Mathematische Beschreibung der Zuverlässigkeit

Die betrachteten nicht reparierbaren Systeme lassen sich durch einen zweistufigen homogenen Markoffschen Prozeß (Bild 4.1) mit den beiden Zuständen Betrieb (B) und Ausfall (A) beschreiben:

Zustand B: Betriebszustand zwischen Inbetriebnahme und Ausfall bzw. störungsbedingtem Abschalten und
 Zustand A: Nichtbetriebszustand nach Ausfall.

Diese komplementären Zustände werden im folgenden als Systemzustandspaar bezeichnet, wobei es für große Systeme zweckmäßig sein kann, mehrere Systemzustandspaare festzulegen.

Durch einen Ausfall findet der Übergang von B nach A statt. Dieser Übergang wird durch die Ausfallrate λ gekennzeichnet, die über die mittlere Betriebsdauer $T(B)$ ist die mittlere Betriebsdauer von Inbetriebnahme bis zum Ausfall MTBF (Mean Time Between Failures). Für die betrachteten nicht reparierbaren Komponenten ist diese gleich der mittleren Lebensdauer, in der Literatur als MTTF (Mean Time To First Failure) angegeben) $T(B)$ berechnet wird. Ein Übergang vom Zustand A zum Zustand B existiert nicht.

Die Ausfallrate nimmt in technischen Systemen über der Zeit häufig einen Verlauf, der wegen seiner charakteristischen Form als "Badewannenkurve" (Bild 4.2) bezeichnet wird. Die Ausfallrate fällt zunächst von einem erhöhten Anfangswert ab (Frühausfälle), bleibt dann relativ lange nahezu konstant und steigt schließlich zum Ende der Lebensdauer des Systems wieder an (Verschleißausfälle).

Beschränkt man sich in der Modellbildung auf die mittlere Phase mit einer konstanten, zeitunabhängigen Ausfallrate, so ergibt sich eine exponentielle Verteilung der Überlebenswahrscheinlichkeit.

Damit erhält man folgende zeitliche Verläufe für die Ausfallrate λ , Überlebenswahrscheinlichkeit $P(B, t)$ und Ausfallwahrscheinlichkeit $P(A, t)$:

$$\lambda = \frac{1}{T(B)} \quad (4-1)$$

$$P(B, t) = e^{-\lambda t} \quad (4-2)$$

$$P(A, t) = 1 - e^{-\lambda t} \quad (4-3)$$

Die Annahme konstanter Ausfallraten ist zuverlässig, da nur zufallsbedingte Ausfälle alterungsfreier Komponenten betrachtet werden. Deterministische bzw. systematische Ausfälle aufgrund von Verschleiß, Materialermüdung, Überlastung, Fehlbehandlung, äußerer Einwirkung usw. sind nicht eingeschlossen. In den betrachteten Systemen sind damit ausschließlich voneinander (statistisch) unabhängige Komponenten zu berücksichtigen.

Die Arbeitsfähigkeit eines Systems hängt jetzt in mehr oder weniger komplizierter Weise davon ab, ob Teilsysteme noch ohne Ausfall arbeiten oder ob sie einzeln oder in Gruppen ausfallen. Es ist zu unterscheiden in Teilsysteme, deren Ausfall immer auch den Systemausfall nach sich ziehen und Gruppen von Teilsystemen, die insgesamt ausfallen müssen, um zum Totalausfall zu führen. Zur Darstellung dieser Abhängigkeiten gibt es eine Reihe von graphischen Darstellungen (ROSE81, KOCH84 u. a.), die die Funktionsstruktur als Kombination von Serien- und Parallelschaltungen wiedergeben.

In den hier verwendeten Zustands-Blockschaltbildern (in der Literatur auch oft als (Zuverlässigkeits-) Blockdiagramm oder einfach als Zuverlässigkeitsdiagramm bezeichnet) werden die Zustände von Teilsystemen (im folgenden auch als Komponenten bezeichnet) durch Zustands-Blocksysteme (Bild 4.3) gekennzeichnet und entsprechend der logischen Verknüpfung (Bild 4.4) zusammengeschaltet.

In dieser Arbeit werden im folgenden ausschließlich Zustands-Blockschaltbilder in Betriebslogik-Darstellung verwendet, d. h. die Strukturen werden nur aus Betriebszuständen gebildet.

Eine logische Serienstruktur bezüglich des Betriebes liegt immer dann vor, wenn nur der Betrieb aller Komponenten zum Betrieb des Systems führt. Für stochastisch unabhängige Komponenten gelten folgende Beziehungen:

Wahrscheinlichkeit des Systembetriebszustandes

$$P(B_S) = P(B_1) \cdot P(B_2) \cdot \dots \cdot P(B_n) \quad (4-4)$$

Wahrscheinlichkeit des Systemausfallzustandes

$$P(A_S) = 1 - P(B_S) \quad (4-5)$$

Mittlere ausfallfreie Systembetriebsdauer

$$\frac{1}{T(B_S)} = \frac{1}{T(B_1)} + \frac{1}{T(B_2)} + \dots + \frac{1}{T(B_n)} \quad (4-6)$$

Eine logische Parallelstruktur bezüglich des Betriebes liegt immer dann vor, wenn der Betrieb mindestens einer Komponente zum Betrieb des Systems führt.

Damit ergibt sich die Wahrscheinlichkeit des Systembetriebszustandes für eine Parallelstruktur aus n Komponenten zu:

$$P(B_S) = P(B_1) \vee P(B_2) \vee \dots \vee P(B_n) \quad (4-7)$$

Für stochastisch unabhängige Komponenten kann die Berechnung in diesem Fall über eine rekursive Rechenvorschrift erfolgen (ROSE81):

$$P_i = P_{i-1} + (P(B_i) - P_{i-1}) \cdot P(B_i) \quad (4-8)$$

Mit $P_1 = P(B_1)$
und für $i = 2, 3, 4, \dots, n$

folgt mit P_n die Wahrscheinlichkeit ($P(B_S)$) für den Systembetriebszustand. (4-5) gilt entsprechend.

Mit (4-4) bis (4-8) lassen sich alle Anordnungen berechnen, die in eine hierarchische Folge von Reihen- und Parallelstrukturen aufgegliedert werden können.

4.2 Zuverlässigkeit von Automatisierungssystemen

Das Automatisierungssystem ist ein technisches System, das in der Lage ist, einen technischen Prozeß nach Vorgabe gewisser Sollwerte automatisch zu führen, indem bestimmte Zustandsgrößen durch Meßeinrichtungen (Sensoren) erfaßt werden und das gemäß den Steuerungsvorgaben und Regelalgorithmen mit Hilfe von Stelleinrichtungen (Aktoren) wiederum bestimmte Zustandsgrößen beeinflusst (ENDL88).

In Abgrenzung zu dieser Definition wird die aus Sensoren und Aktoren gebildete Schnittstelle zum Prozeß auf die in dieser Arbeit nicht berücksichtigt. Hier interessiert der Informatikaspekt des Automatisierungssystems, also die Prozeßdatenverarbeitung.

Die Zuverlässigkeit eines Automatisierungssystems wird in einer Zuverlässigkeitsanalyse bestimmt, für die es sowohl qualitative wie auch quantitative Beurteilungskriterien gibt.

Zur qualitativen Beurteilung der Zuverlässigkeit zählen z. B. Kriterien wie Einsatz langjährig erprobter Komponenten, gute Dokumentation und umfangreiche Diagnostikwerkzeuge (qualitative Bewertungskriterien (Gütebedingungen) für die integrierten Softwaresysteme sind u. a. in der DIN 66 285 enthalten) (KOCH84).

Die quantitative Beurteilung erfolgt über den dargestellten Wahrscheinlichkeitstheoretischen Ansatz. Damit ist die systematische Verarbeitung einer großen Anzahl von Ausfallkombinationen möglich, wobei sich der Ablauf der Zuverlässigkeitsanalyse unabhängig vom tatsächlich angewandten Verfahren immer am folgenden Ablauf orientiert (PROT87):

- a) Festlegung aussagefähiger Ausfallkriterien (qualitatives Problem),
- b) Spezifikation von Zahlenwerten für diese Kenngrößen als einzuhaltende Grenzbedingungen (quantitatives Problem),
- c) Anwendung dieser Kenngrößen auf konkrete Systemarchitekturen mit Hilfe des mathematischen Modells (analytisches Problem).

Als ein Kriterium zur Bewertung der Zuverlässigkeit eines Automatisierungssystems kann seine Empfindlichkeit oder Verletzlichkeit gegenüber dem Ausfall oder dem fehlerhaften Funktionieren von Teilsystemen oder Systemfunktionen dienen (KOHL87).

4.3 Literaturverzeichnis

Bücher

(FRAN86) Frank, R.: Rechnernetze und Datenkommunikation. Berlin, Heidelberg, New York, Tokyo: Springer 1986.

(KAUF87) Kauffels, F.-J.: Rechnernetzwerkssystemarchitekturen und Datenkommunikation. Reihe Informatik; Band 54.

Mannheim, Wien, Zürich: Bibliographisches Institut 1987.

(KOCH84) Kochs, H.-D.: Zuverlässigkeit elektrotechnischer Anlagen. Berlin, Heidelberg, New York, Tokyo: Springer 1984.

(SCHN82) Schnupp, P.: Rechnernetze — Entwurf und Realisierung. Berlin, New York: de Gruyter 1982.

Veröffentlichungen, wissenschaftliche Berichte und Manuskripte zu Tagungen und Seminaren

(ENDL89) Endl, H.: Prozeßbankopplung in fehlertoleranten Systemen.

Dissertation Technische Universität München 1989.

(KRG191) Kriesel, W.; Gibas, P.: Generationswechsel bei Automatisierungssystemen: Orientierungen zur zukünftigen Entwicklung. Automatisierungstechnische Praxis, Nr. 1, 1991.

Normen und Empfehlungen

DIN 19 239: Messen, Steuern, Regeln; Steuerungstechnik; Speicherprogrammierbare Steuerungen; Programmierung.

DIN-Norm, Mai 1983.

DIN 19 244: Fernwirkleinrichtungen und Fernwirkssysteme.

Teil 10: Telegrammformate.

DIN-Entwurf, März 1988.

DIN 19 245: Messen, Steuern, Regeln; PROFIBUS.

Teil 1; Übertragungstechnik, Buszugriffs- und Übertragungsprotokoll, Dienstschnittstelle zur Anwendungsschicht, Management.

DIN-Entwurf, August 1990.

Teil 2: Kommunikations-Modell, Dienste für die Anwendung, Protokoll, Syntax, Codierung, Schnittstelle zur Schicht 2, Management.

DIN-Entwurf, August 1990.

DIN 31 000: Allgemeine Leitsätze für das sicherheitsgerechte Gestalten technischer Erzeugnisse.

DIN-Norm, März 1979.

DIN 40 041: Zuverlässigkeit; Begriffe.

DIN-Norm, Dezember 1990.

DIN 40 700: Schaltzeichen.

Teil 23: Uhren und elektrische Zeitgeräte.

DIN-Norm, Juni 1979.

Teil 24: Baugruppen für feinwerktechnische Geräte, insbesondere Uhren.

DIN-Norm, Juni 1976.

DIN 40 719: Schaltungsunterlagen.	
Teil 6: Regeln und graphische Symbole für Funktionspläne.	
DIN-Norm, März 1977.	
DIN 66 259: Elektrische Eigenschaften der Schnittstellenleitungen.	5
Teil 4: Doppelstrom, symmetrisch für Mehrpunktverbindungen.	
DIN-Entwurf, Juni 1989.	
DIN 66 264: Industrielle Automation.	
Teil 1: Mehrprozessor-Steuersystem für Arbeitsmaschinen (MPST); Parallelbus.	
DIN-Norm, Januar 1983.	
Teil 2: Mehrprozessor-Steuersystem für Arbeitsmaschinen (MPST); Regeln für den Informationsaustausch.	10
DIN-Norm, August 1988.	
DIN 66 285: Informationssverarbeitung; Anwendungssoftware: Gütebedingungen und Prüfbestimmungen.	
DIN-Norm, August 1990.	
DIN 66 348: Schnittstellen und Steuerungsverfahren für die serielle Meßdatenübermittlung.	15
Teil 1: Start-Stop-Übertragung, Punkt-zu-Punkt-Verbindung.	
DIN-Norm, September 1986.	
Teil 2: Start-Stop-Übertragung, 4-Draht-Meßbus.	
DIN-Norm, September 1989.	
DIN V 19 250: Messen, Steuern, Regeln; Grundlegende Sicherheitsbetrachtungen für MSR-Schutzeinrichtungen.	20
DIN-Vornorm, Januar 1989.	
NTG 3004: Zuverlässigkeitsbegriffe im Hinblick auf komplexe Software und Hardware.	
NTG-Empfehlung 3004; Entwurf 1982. In: Nachrichtentechnische Z. 35, 1982.	25

Tabelle 2.1

Funktion der Datenfelder im Datentelegramm

Feld	Wert	Funktion	
SC	D3 _H	8 Zeichen zur Synchronisation und zum Einstellen der aktuellen Übertragungsrate.	
SD	68 _H	Startzeichen. Erstes Zeichen des Datentelegramms.	
SA	0..FFFF _H	Absenderadresse (16-Bit): Teilnehmernummer des sendenden Verarbeitungsknotens.	35
DA	0..FFFF _H	Zieladresse (16-Bit): Teilnehmernummer des Empfängers.	
MN	0..FF _H	Modulnummer (8-Bit): Adresse eines Prozessormoduls innerhalb der im Verarbeitungsknoten enthaltenen Mehrrechnerstruktur.	40
DT	0..FF _H	Datentyp (8-Bit): Kennzeichnung der nachfolgenden Daten bzw. Kurzbefehl: = 00 _H Initialisierungstelegramm 01 _H Teil eines Betriebsprogramms 02 _H Befehl allgemein 13 _H Send Parameteratz 1 an SA; 14 _H Send Parameteratz 2 an SA; 80 _H Kurzquittung: Kein Fehler erkannt 81..8F _H Kurzquittung: Fehler erkannt FF _H Identifizieren bei SA;	45
PR	0..FF _H	Priorität dieses Datentelegramms.	50
LE	0..FFFF _H	Telegrammlänge ohne Synchronisation. Maximal Länge: 512 Zeichen.	
D ₁ ..D _n	0..FF _H	Datenzeichen. Je Datentelegramm sind 0..500 Zeichen möglich.	
FC	0..FF _H	Prüfsumme (8-Bit).	
ED	8E _H	Endzeichen. Abschluß des Datentelegramms.	55

Patentanspruch

Dezentral gesteuertes, hochzuverlässiges Datentransportsystem, insbesondere zur Anwendung in der industriellen Automatisierungstechnik, **dadurch gekennzeichnet**, daß die Verbindungsstruktur des Datentransportsystems jederzeit flexibel an lokal unterschiedliche Zuverlässigkeitsanforderungen angepaßt werden kann. Echtzeiteigenschaften werden strukturell nur dort vorgesehen, wo diese auch tatsächlich gefordert werden.

Der insgesamt modulare Aufbau mit standardisierten Komponenten bekannter Zuverlässigkeit, deren Funktion im wesentlichen erst durch fernladbare Betriebssoftware bestimmt wird, ermöglicht insbesondere bei flächendeckenden Datentransportsystemen einen wirtschaftlichen Einsatz der Ressourcen.

Hierzu 27 Seite(n) Zeichnungen

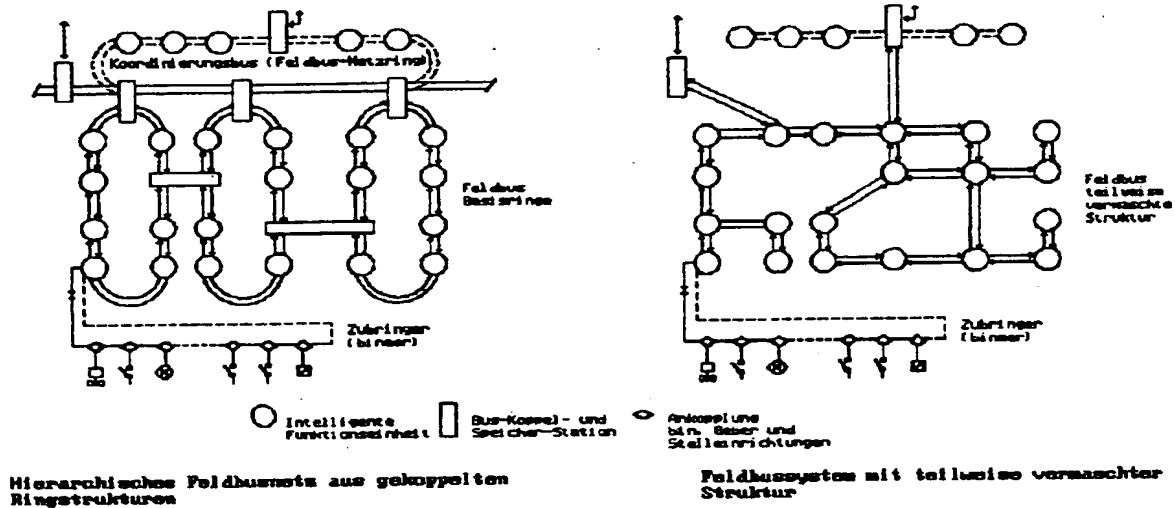


Bild 1.1: Feldbussysteme mit flächendeckender Topologie.

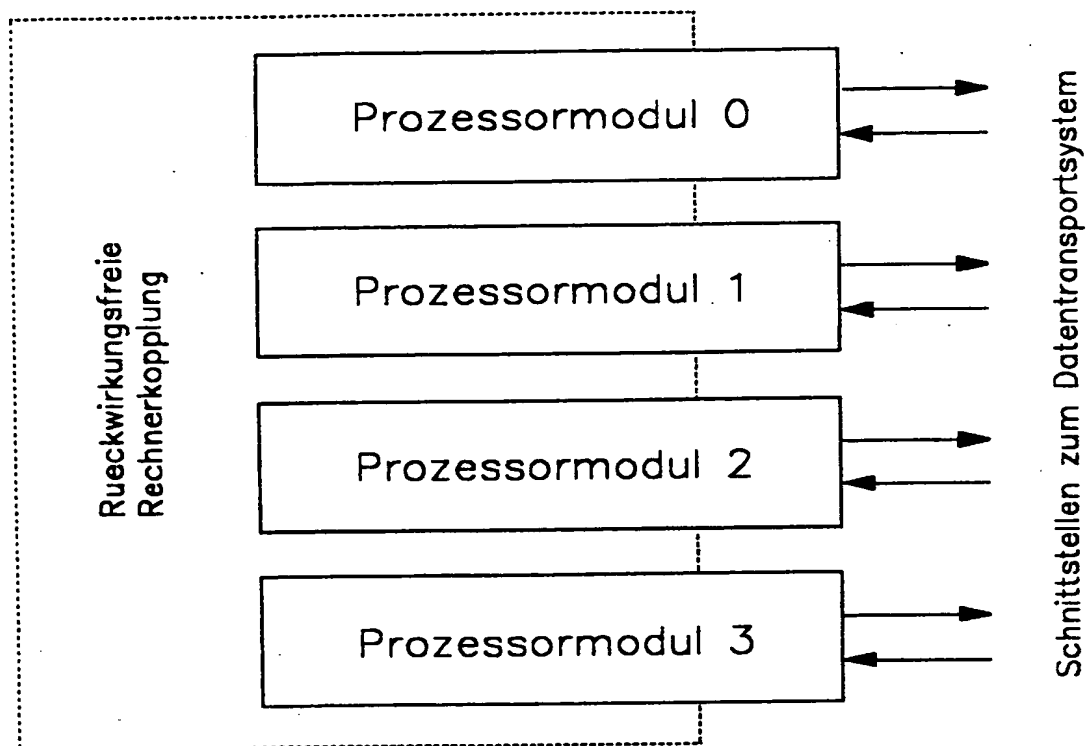


Bild 2.1: Struktur des Zentralen Moduls.

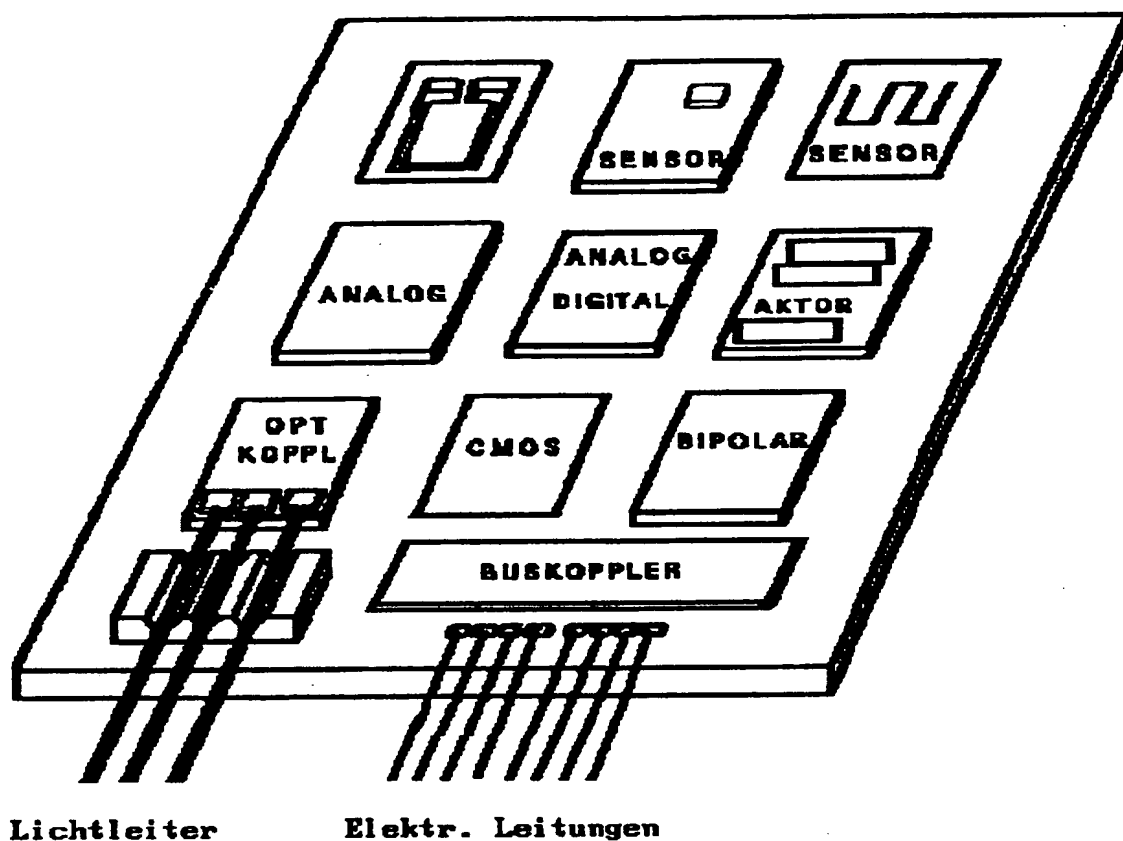


Bild 2.2: Mögliche Teilfunktionen eines Mikrosystems.
/REIC89/

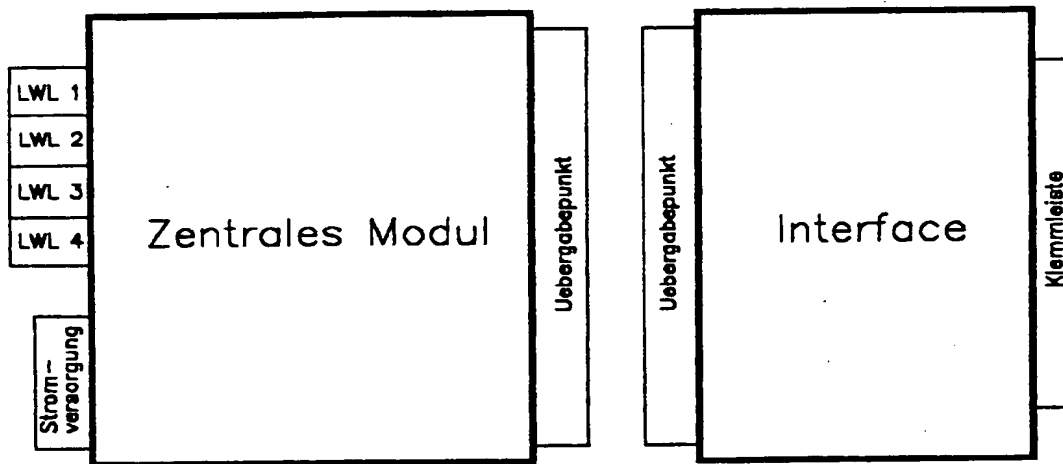


Bild 2.3: Modularer Aufbau des Verarbeitungsknotens.

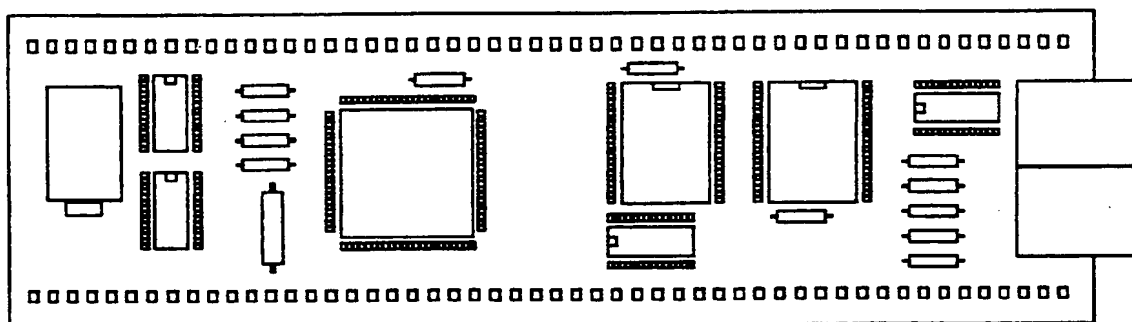


Bild 2.4: Mechanischer Aufbau des Prozessormoduls.

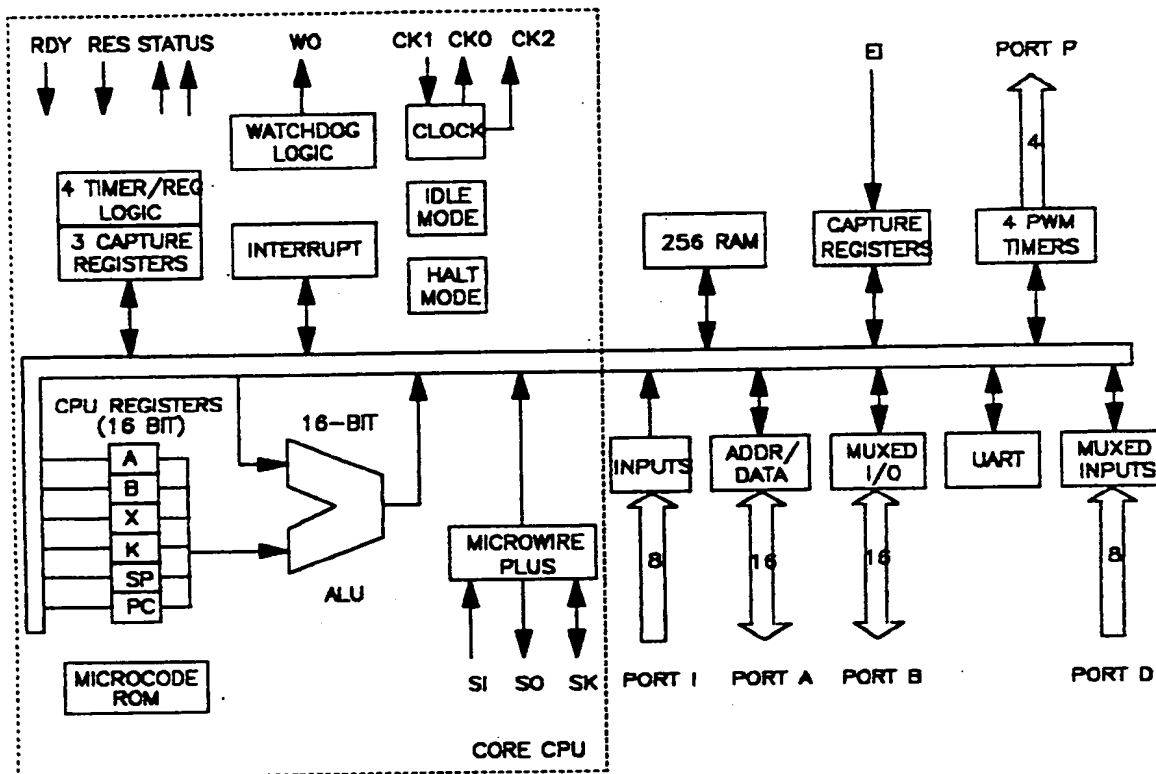


Bild 2.5: Mikrocontroller HPC46003.

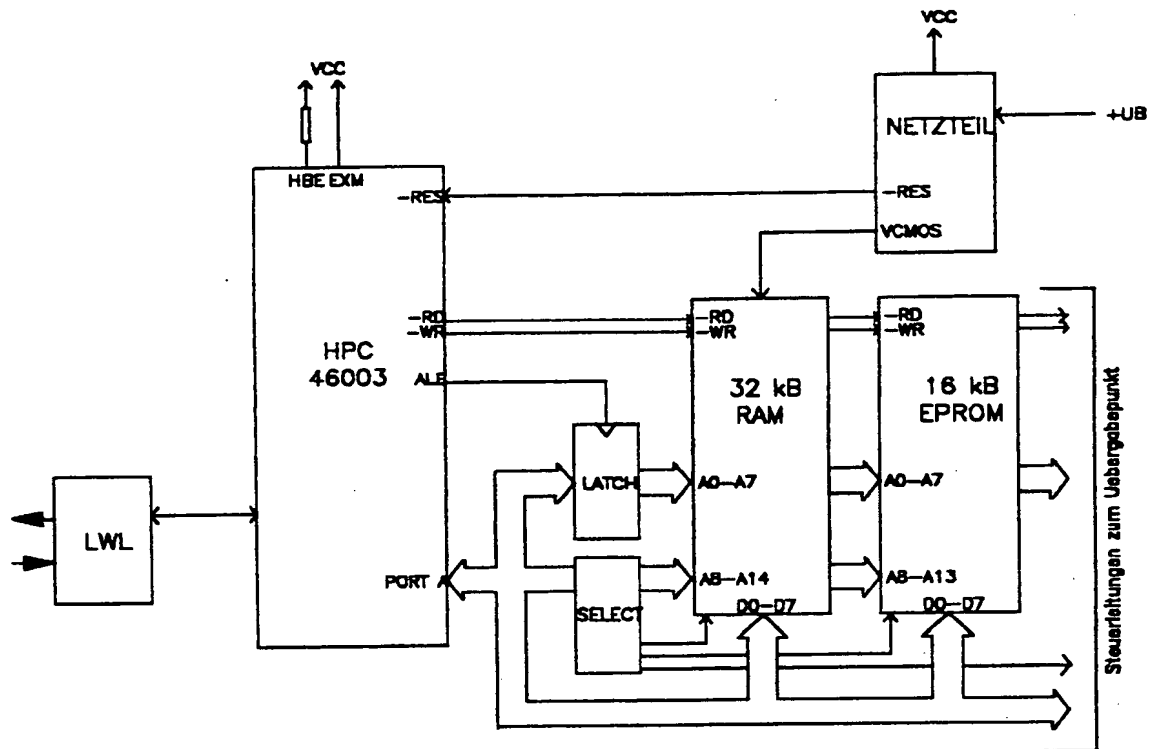


Bild 2.6: Blockschaltbild des Prozessormoduls.

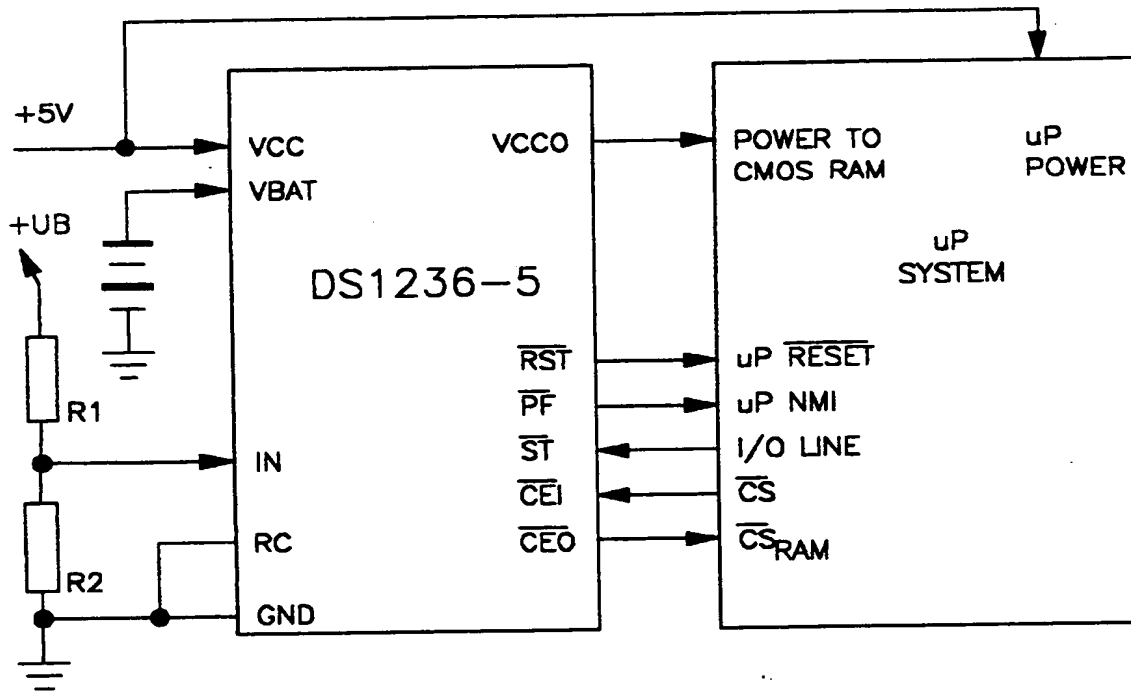


Bild 2.7: Überwachungsbaustein DS1236-5.

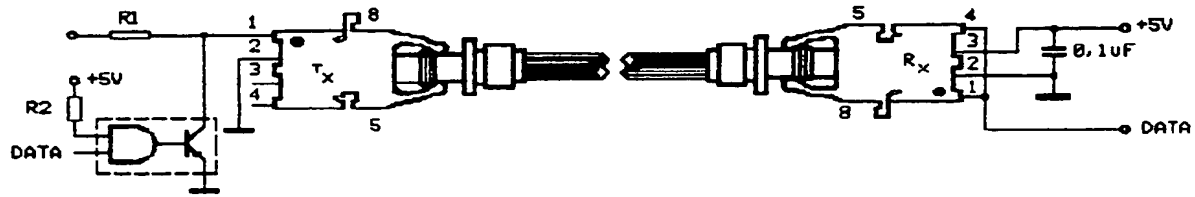


Bild 2.8: Hewlett Packard Serie HFBR-0501¹⁾.

1) Hewlett Packard Optoelectronics Designer's Catalog 1988-1989.

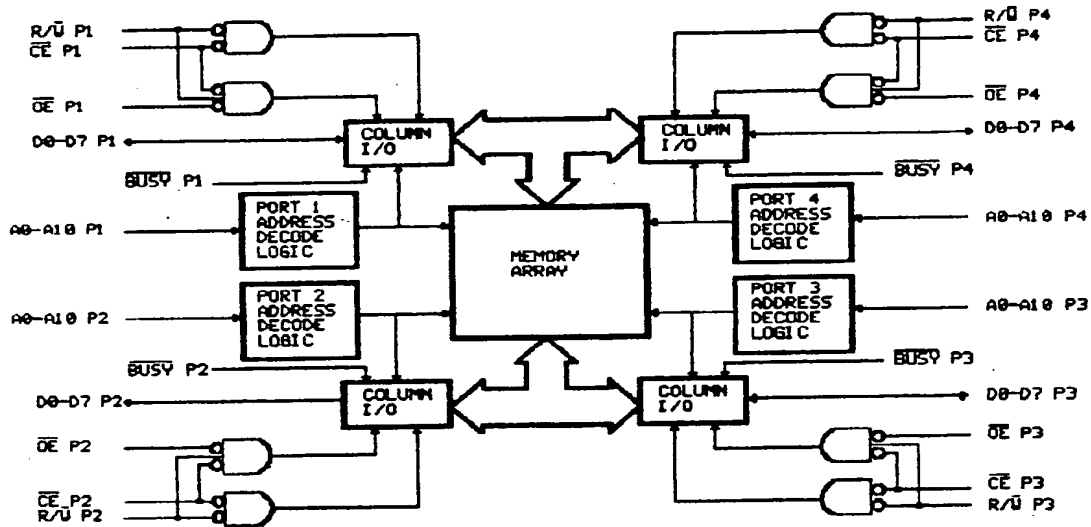


Bild 2.9: Blockschaltbild IDT7052L.

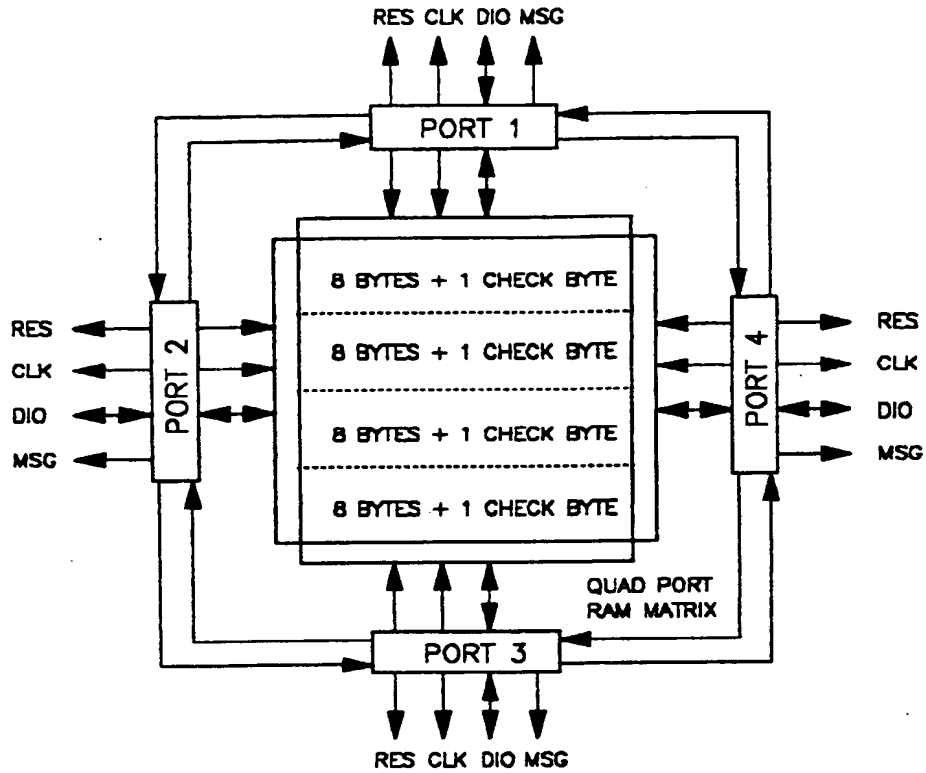


Bild 2.10: Blockschaltbild DS2015.

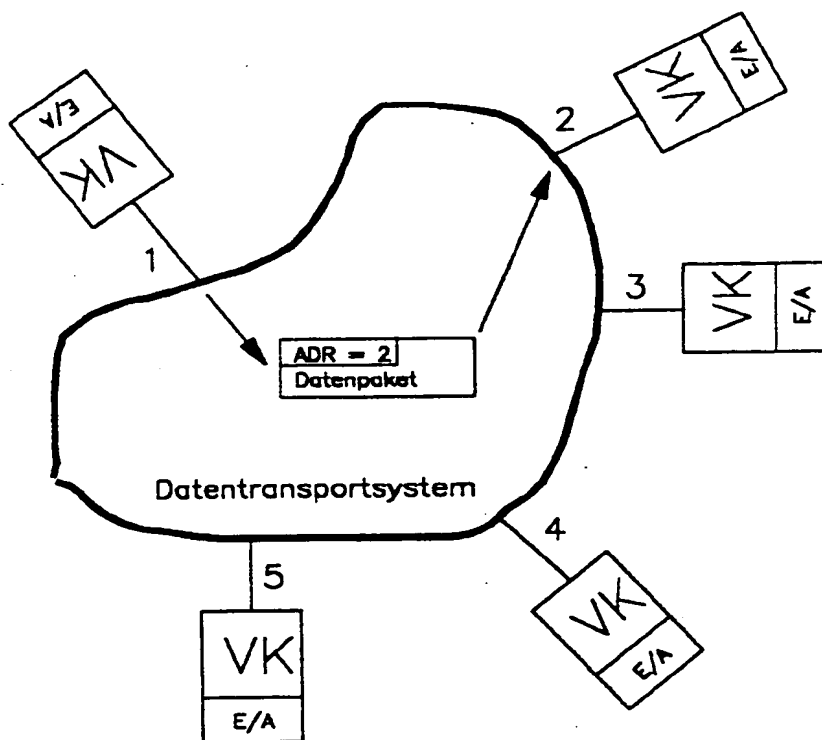


Bild 2.11: Das Prinzip der Paketvermittlung.

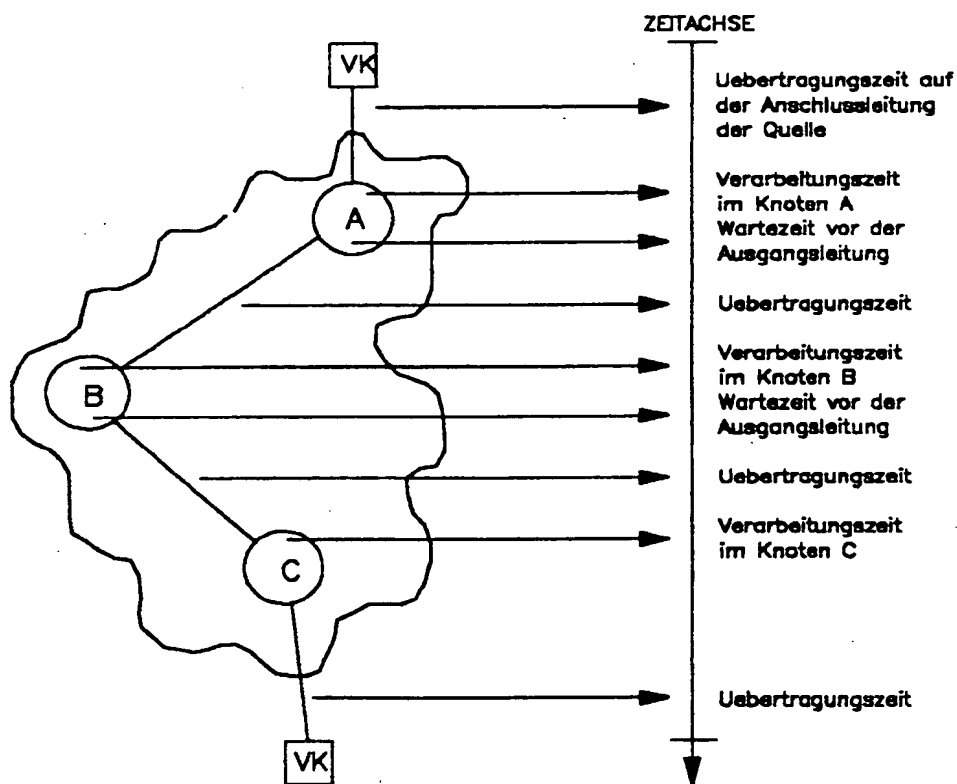


Bild 2.12: Transportverzögerung bei einem speichervermittelten Netz /FRAN86/.

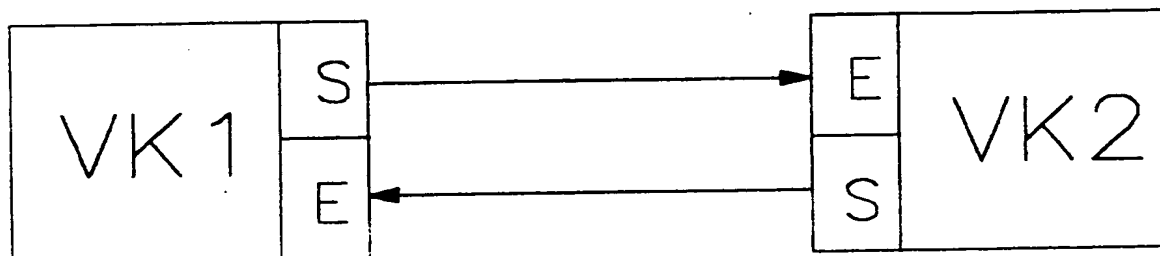


Bild 2.13: Punkt-zu-Punkt-Verbindung (Typ1).

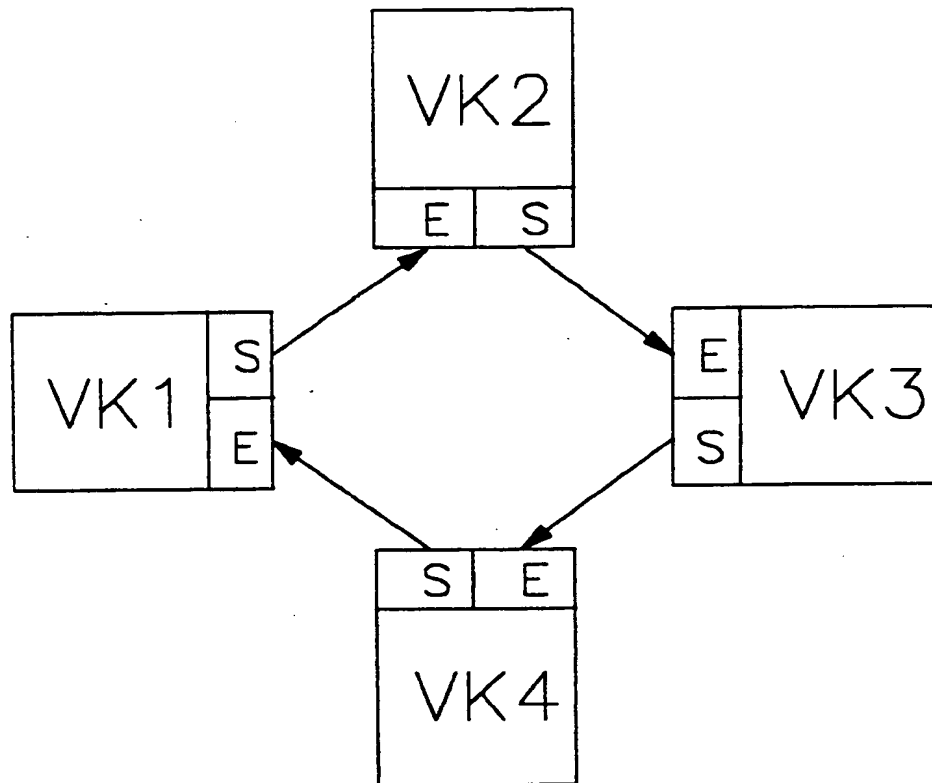


Bild 2.14: Unidirektionaler Ring (Typ2).

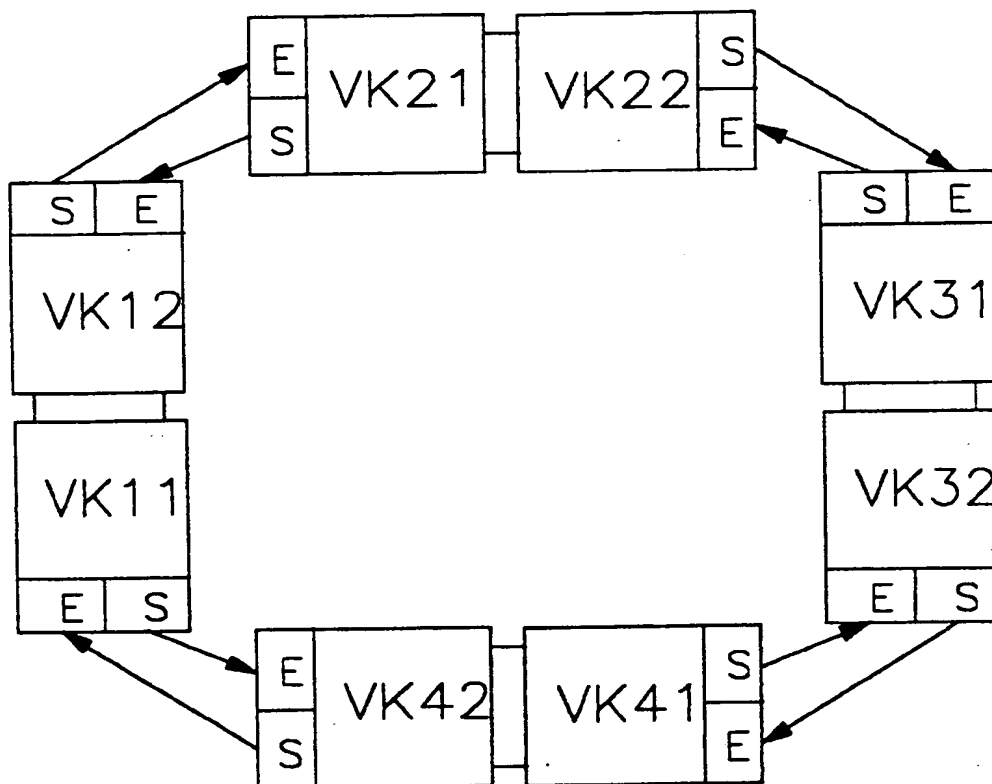


Bild 2.15: Bidirektionaler Ring (Typ 3).

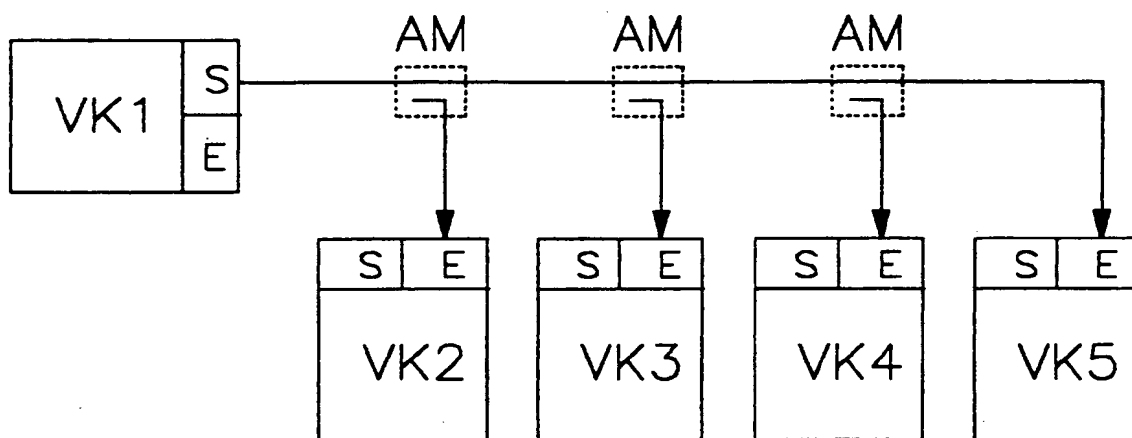


Bild 2.16: Unidirektionaler Bus (Typ 4).

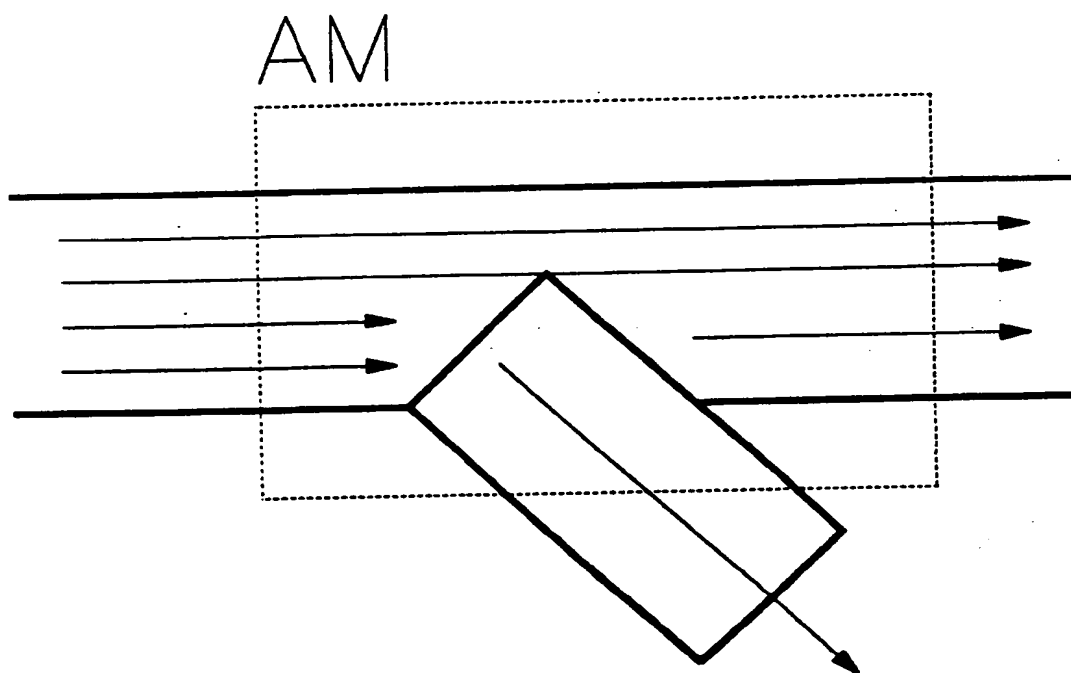


Bild 2.17: Auskoppelmodul (AM).

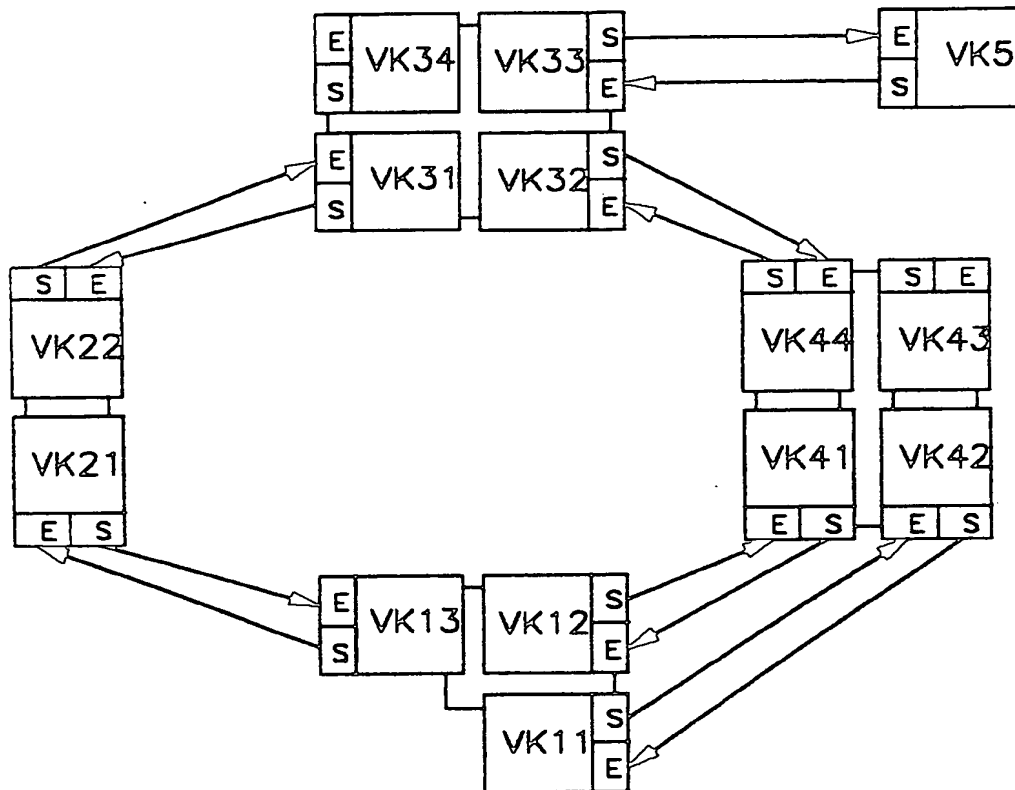


Bild 2.18: Datentransportsystem als Kombination aus Typ 1,3 und 5. Zusätzliche, redundante Verbindung zwischen VK1 und VK4.

```
|SC|SC|...|SC|SD| SA | DA |MN|DT|PR| LE |D1|D2|.....|Dn|FC|ED|
|<--8 Byte ->|                                     |<- 0..500 Byte->|
|<----- 12..512 Byte ----->|
```

Bild 2.19: Aufbau eines Datentelegramms.

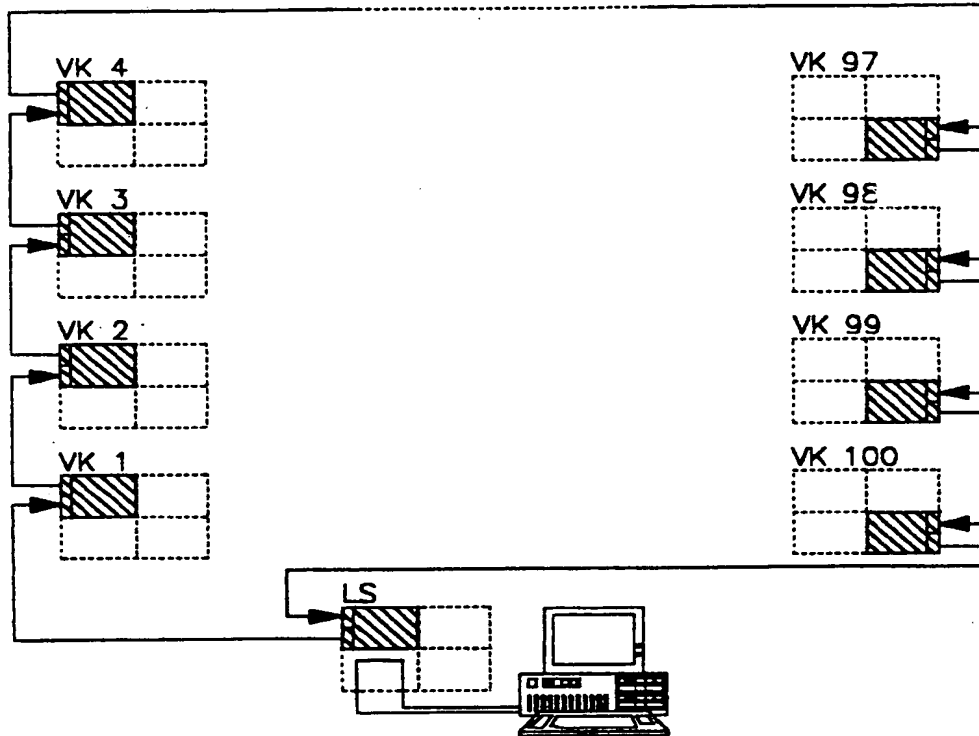


Bild 3.1: Datentransportsystem, Beispiel 1.

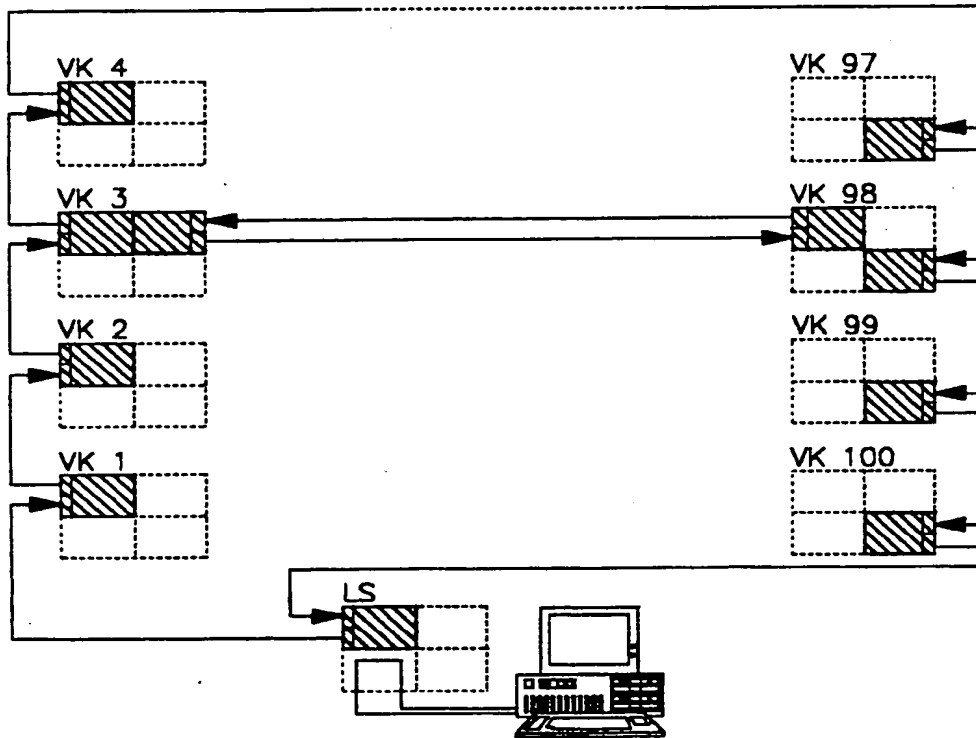


Bild 3.2: Datentransportsystem, Beispiel 2.

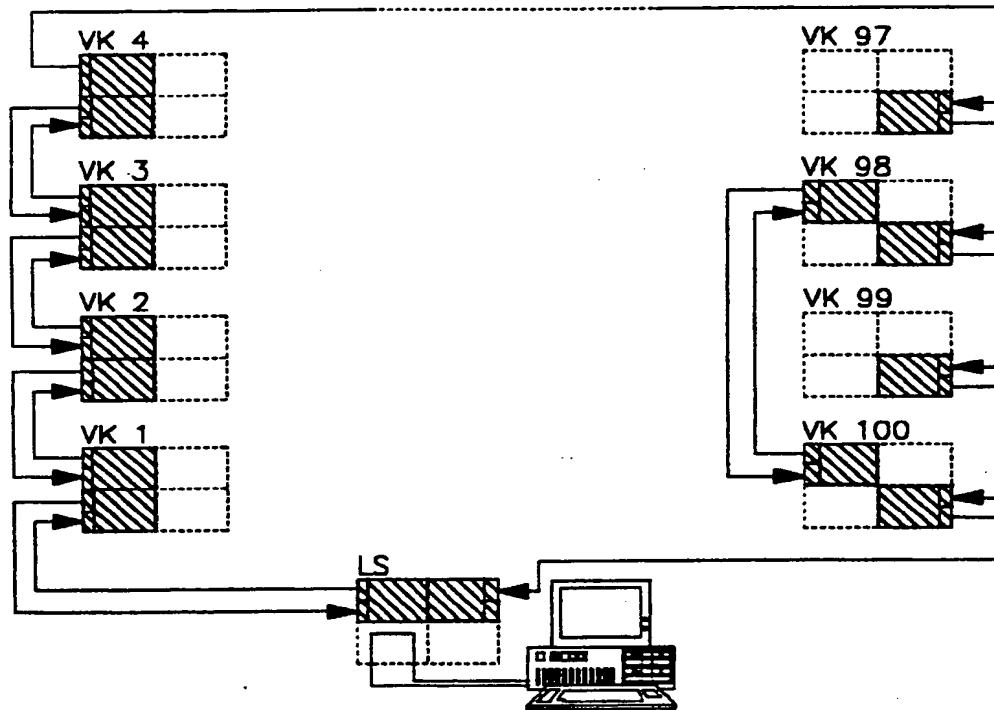


Bild 3.3: Datentransportsystem, Beispiel 3.

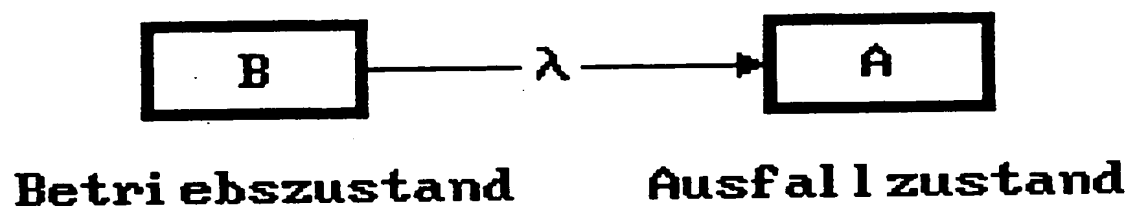


Bild 4.1: Zweistufiges Modell für nicht reparierbare Systeme.

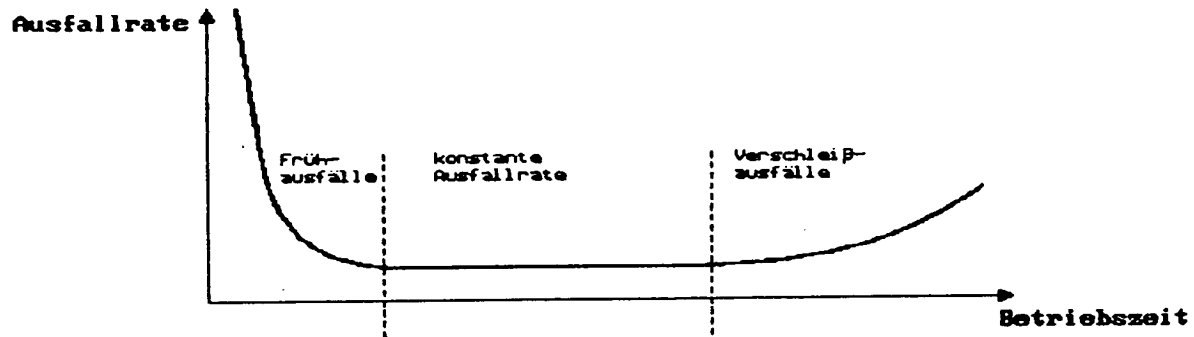


Bild 4.2: Zusammenhang zwischen Ausfallrate und Betriebszeit.

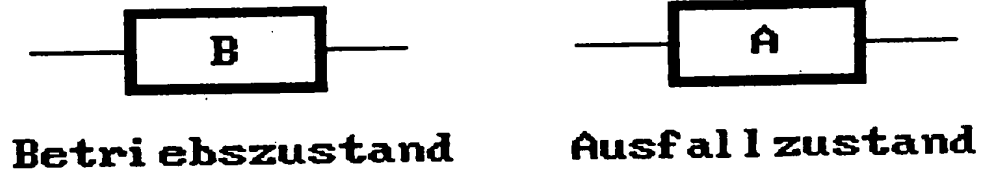
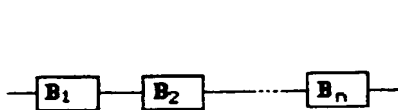
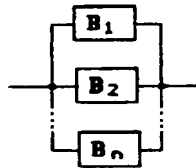


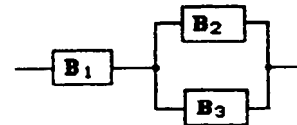
Bild 4.3: Blocksymbole für die Darstellung von Zuständen in Zustands-Blockschaltbildern /KOCH84/.



Seriensstruktur



Parallelstruktur



Mischstruktur

Bild 4.4: Logische Verknüpfungen mit Zustands-Blocksymbolen.